

文章编号: 1000-7032(2025)02-0343-11

新型半导体激光巴条衬底与液冷微结构集成散热研究

陈 琅¹, 刘嘉辰^{1,2}, 章珺越^{1,2}, 吴顺华^{1,2}, 黄维洲^{1,2}, 张 锐^{1,2},
王贞福¹, 张佳晨¹, 李 特^{1*}

(1. 中国科学院 西安光学精密机械研究所, 瞬态光学与光子技术国家重点实验室, 陕西 西安 710119;

2. 中国科学院大学, 北京 100049)

摘要: 芯片衬底与微通道集成一体化是一项全球前沿的研究热点, 与传统液冷微通道热沉相比, 具有革命性的优势, 已成功应用于绝缘栅双极型晶体管等芯片领域, 展现出卓越的散热性能。随着大科学装置及工业领域对半导体激光芯片输出功率需求的增加, 热管理成为一项关键技术问题。传统激光巴条冷却研究主要集中在优化液冷热沉结构, 但其散热能力受到传热路径热阻的限制。为应对这一挑战, 本研究基于芯片衬底与微通道集成一体化设计, 提出了一种新型分布式流型结构, 用于半导体激光芯片的高效散热。该设计显著缩短了传热路径, 减少了热阻, 从而有效降低芯片结温与冷却流量, 为实现高集成度和高散热量的激光芯片提供了重要技术支撑。研究结果表明, 本文提出的分布式流型结构突破了半导体激光巴条衬底微通道设计的瓶颈, 在0.35 L/min@20 °C的液冷条件下, 实现了芯片温升 ≤ 40 °C的目标, 并在1 000 W/cm²的高热流密度条件下获得了最佳填充因子为0.25, 芯片温升为30.52 °C的模拟结果。

关键词: 半导体激光巴条; 液冷; 衬底微结构; 片上集成散热

中图分类号: TN248.4 文献标识码: A

DOI: 10.37188/CJL.20240205 CSTR: 32170.14.CJL.20240205

Integrated Heat Dissipation of A Novel Laser Diode Array
Substrate and A Liquid-cooled MicrostructureCHEN Lang¹, LIU Jiachen^{1,2}, ZHANG Junyue^{1,2}, WU Shunhua^{1,2}, HUANG Weizhou^{1,2},
ZHANG Rui^{1,2}, WANG Zhenfu¹, ZHANG Jiachen¹, LI Te^{1*}

(1. State Key Laboratory of Transient Optics and Photonics, Xi'an Institute of Optics and Precision Mechanics,

Chinese Academy of Sciences, Xi'an 710119, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

* Corresponding Author, E-mail: lite@opt.ac.cn

Abstract: The integration of chip substrates with microchannels represents a cutting-edge research focus globally. Compared to traditional liquid-cooled microchannel heat sinks, this technology offers revolutionary advantages and has been successfully applied in chips like insulated gate bipolar transistor, demonstrating exceptional cooling performance. As the demand for higher output power from semiconductor laser chips in large scientific facilities and industrial applications increases, heat management has become a critical issue. Traditional research on laser bar cooling has mainly focused on optimizing liquid-cooled heat sink structures. However, their cooling capacity is constrained by thermal resistance of the heat transfer path. To address this challenge, this study proposes a novel distributed flow pattern structure based on the integration of chip substrates with microchannels, aiming for efficient cooling of semi-

收稿日期: 2024-09-14; 修订日期: 2024-10-10

基金项目: 国家自然科学基金(61504167); 陕西省自然科学基金(2023-JC-YB-556, 2022JQ-531, 2019ZY-CXPT-03-05, 2018JM6010, 2015JQ6263); 陕西省科技厅人才项目(2017KJXX-72)

Supported by Natural Science Foundation of China (61504167); Natural Science Foundation of Shaanxi Province (2023-JC-YB-556, 2022JQ-531, 2019ZY-CXPT-03-05, 2018JM6010, 2015JQ6263); Talent Project of Science and Technology Department of Shaanxi Province (2017KJXX-72)

conductor laser bars. This design significantly shortens the heat transfer path and reduces thermal resistance, effectively lowering the chip junction temperature and cooling flow rate. It provides essential technical support for achieving highly integrated and high heat dissipation laser bars. The research indicates that the proposed distributed flow pattern structure overcomes the design challenges of microchannels in semiconductor laser bar substrates. Under liquid cooling conditions of 0.35 L/min@20 °C, it achieves the target of a chip temperature rise of ≤ 40 °C, with a simulated result of a temperature rise of 30.52 °C at a high heat flux density of 1 000 W/cm and an optimal filling factor of 0.25.

1 引 言

大功率半导体巴条激光器(Laser diode array, LDA)由芯片和热沉采用焊料焊接封装而成,具有高电光转换效率、高输出功率、长寿命、小体积和易集成的特点,被广泛应用于高能量激光系统(“人造太阳”系统^[1-2]、高能装备系统^[3-4])的泵浦源。然而,这些高能量激光系统在LDA应用方面追求的两个核心性能(高功率与高电光转换效率)均受限于热负载^[5]。目前,尽管某些低功率运行的近红外波段LDA电光转换效率提升至80%^[6]以上,但大功率LDA仍然集中于50%~70%范围^[7-8]。这些大功率LDA工作时约30%的损耗转换为废热,而这些废热是使芯片有源区产生温升并影响芯片温度分布的主要原因。温升的存在引起了LDA性能的劣化:(1)LDA芯片的阈值电流增高并降低芯片的斜率效率,电流越高,产生的热量越大,形成负反馈^[9];(2)LDA芯片波长产生漂移,研究表明,典型的808 nm LDA波长漂移量在0.27 nm/K^[10-11];(3)光学性能退化,产生LDA的Smile效应^[12],Smile效应是指大功率半导体激光巴条在工作时存在各发光单元不在一条直线上的现象;(4)LDA寿命降低^[13],寿命随结温升高而呈指数关系下降。

有研究者提出,确定结构的半导体激光器热反转温度为恒定值^[14],因此,降低液冷温度与温度增量,成为提升半导体激光器热相关性能的决定性因素。绿色节能倡导的碳排放理念、移动平台节省电池能源消耗的技术要求与常规激光芯片的使用现状限制了低温液冷的应用。因此,为提升大功率LDA的性能与可靠性,常温液冷热管理系统成为发展的趋势,这种趋势聚焦于限制LDA芯片的温度增量,对LDA热沉的散热能力提出了挑战。对比传统电子装置冷却方案,大功率LDA散热存在如下问题:(1)热流密度高,热流密度约100~1 000 W/cm²,甚至更高;(2)散热效能低,导

致热沉散热对液冷流量依赖程度高。

一般情况下,微通道热沉被用于大功率LDA芯片封装,以有效控制芯片温度增量即温升。芯片产生的热量经过焊料传导至微通道热沉内部,在固-液交界面进行热量交换,通过冷却液将热量带走。LDA微通道热沉最早由Lawrence Livermore National Laboratory^[15]设计,作者Mundinger D借鉴Stanford Electronics Laboratories冷却超大规模集成电路的设计思路,采用硅通道冷却热流密度为750 W/cm²的LDA芯片,最终实现0.67 K/W的热阻,芯片在温升34.62 °C条件下输出15.7 W光功率,电光转换效率为25.3%。自此之后,研究者将大量精力投入至液冷热沉结构设计^[16-17],LDA单巴条的电光转换效率已经从25%、光功率15.7 W发展到现在的电光转换效率70%、光功率近kW水平。在热沉与芯片发展过程中,研究发现热沉散热能力是限制输出光功率的瓶颈因素^[18]。为降低LDA芯片结温,现有研究主要集中于改善LDA热沉的散热能力。例如,Deng^[16]在2019年提出的一款常温散热性能较好射流阵列微通道热沉结构,当LDA芯片产生1 000 W/cm²热流密度时,热沉采用液冷流量0.8 L/min,产生驱动压力为361 kPa,芯片温升52.75,器件热阻为0.35 K/W。

LDA热功率产生区域至冷却剂的传热与换热路径往往被忽略,而散热能力却恰好被传热路径上的热阻限制。因此,减少传热路径热阻的芯片级热管理技术成为解决该问题的关键技术之一。2013年,美国DARPA^[19]启动了一项名为“芯片片内/片间的增强冷却”(ICE Cool)的项目,目标是将热阻值降低超过10倍;Raytheon公司于2015年通过仿真实现芯片片上散热热流密度1.23 kW/cm²的目标。2020年,van Erp^[20]在Nature上报道了一项绝缘栅双极型晶体管芯片关于硅衬底微通道液冷的研究,作者将器件小型化,降低了液体驱动流量,实测热阻接近水冷冷却极限,除去水自身热

阻,芯片热阻为0.17 K/W左右,最大限度减少了传导热阻;其后续的研究指出,散热的驱动压力小于300 kPa时具有实用价值^[21]。

因此,在LDA芯片中引入集成化的衬底液冷微结构具有重要研究意义,主要表现在以下三个方面:(1)有效降低LDA芯片散热路径热阻,为实现数千瓦级LDA散热技术提供关键技术支撑,满足新型大功率半导体激光芯片的散热需求;(2)显著缩小器件尺寸,有助于在有限空间内增加LDA芯片集成数量;(3)降低单芯片冷却液流量与功率需求,提高冷却效能,实现能源的有效节约。

针对LDA芯片散热面临的问题与衬底微通道的研究热点,本研究提出了半导体激光芯片衬底与高效微通道结构集成一体化设计方案,将微通道设计引入半导体激光芯片衬底中。与传统液冷热沉相比,冷媒可直接进入激光芯片内部,热量在衬底内的液冷微通道开始交换,降低芯片温升。本研究开展了衬底微通道散热结构的设计与仿真工作,建立了LDA芯片衬底微通道设计与仿真模型,针对现有热沉冷却半导体激光芯片温升高、流量大的问题,提出了分布式流型结构,解决了

LDA衬底微通道结构设计难题。

2 LDA衬底微通道器件模型

2.1 LDA衬底微通道三维结构

新型半导体激光芯片衬底微通道液冷散热器如图1所示,由半导体激光芯片(有源层及其衬底微通道)、分布式歧通道与底座三部分构成。底座的设置是为方便连接水源导入液冷流体。分布式流型歧通道与衬底流道相互配合,能够有效降低驱动压力。衬底微通道在散热中起主要作用,设计的衬底流道可通过等离子体深刻蚀工艺制作,采用焊料直接焊接于分布式流型歧通道之上。原理示意图如图2所示,水流从底座进入分布式流型歧通道,在衬底微通道中横向流动向两边歧通道分散,回流至分布式歧通道出口,最终流入底座,由底座出口流出。流体在分布式歧通道与衬底微通道中呈现T型流入与T型汇入,因此,命名为双T型设计。这种双T型设计将液冷微结构嵌入芯片内部,减少了传导热阻与焊接热阻,分布式流型结构增加了液体流入与流出口的数量,降低了流动阻力,解决了传统热沉结构面临的冷却液与热源之间热传导距离远、热沉与芯片焊接热阻高、驱动压力高的问题。

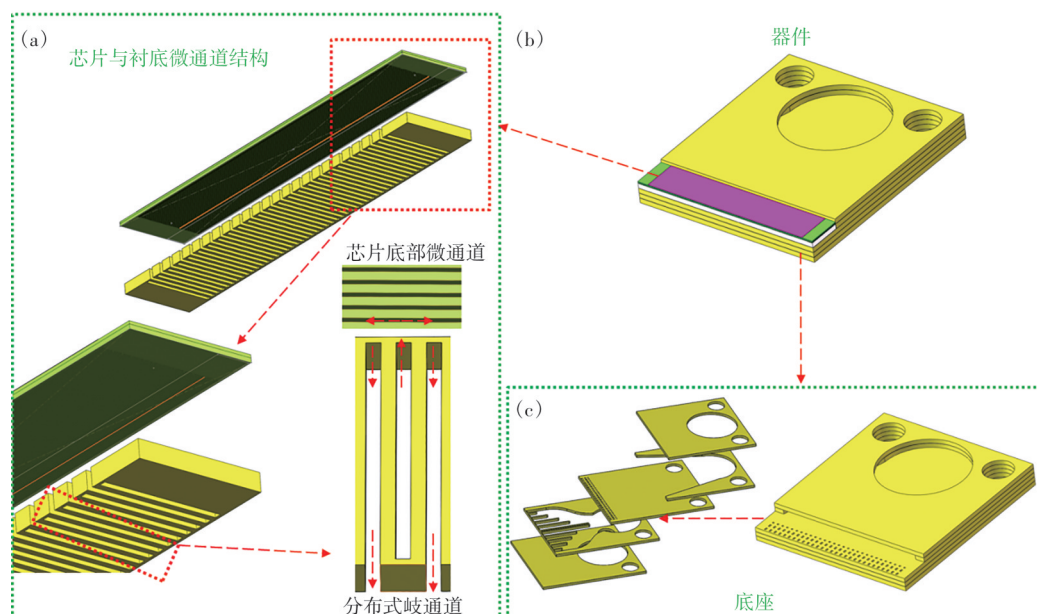


图1 (a)LDA衬底微通道结构;(b)LDA器件;(c)底座结构

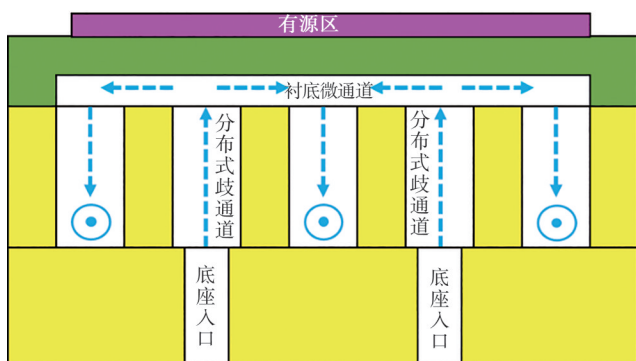
Fig. 1 (a)LDA substrate microchannel structure. (b)LDA device. (c)Base structure

半导体激光芯片分布式歧通道及微通道结构尺寸见图2和图3,歧通道水流入入口宽度 D ,出口宽度 W ,两者之间间隔为 L ,衬底微通道宽度为 M ,微通

道之间间隔为 N ,高度为 H 。芯片尺寸为 $2\text{ mm}\times 11.3\text{ mm}\times 0.8\sim 0.2\text{ mm}$,有源区尺寸为 $2\text{ mm}\times 10\text{ mm}$,分布式歧通道尺寸与芯片尺寸大小一致,为

2 mm(宽) $\times$ 11.3 mm(长) $\times$ 0.3 mm(高),衬底微通道与分布式歧通道为散热模块,整体体积为9.5 mm³。歧通道入口宽度 D 与出口宽度 W 相等,为0.1 mm,间隔 L 为0.1 mm;衬底微通道宽度 M 为10~50 μ m,

(a)



(b)

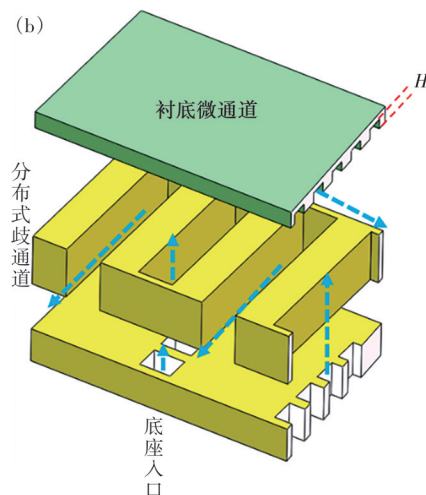


图 2 (a)LDA 衬底微通道冷却原理示意图($\odot$ 表示水流方向垂直纸面向外);(b)衬底微通道冷却三维示意图

Fig. 2 (a)Schematic diagram of the LDA substrate microchannel cooling ($\odot$ indicates that the direction of water flow is perpendicular to the plane and flowing outward). (b)Three-dimensional schematic diagram of substrate microchannel cooling

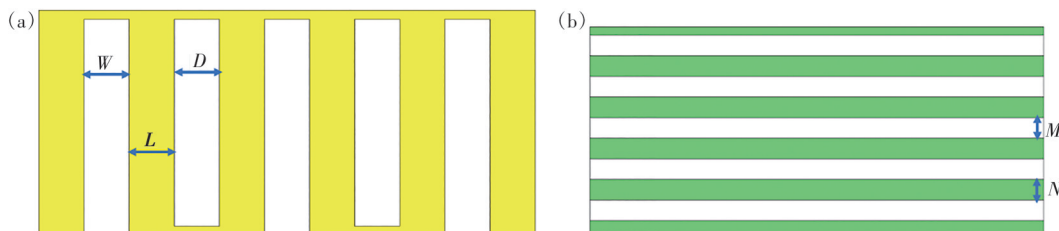


图 3 (a)LDA 分布式歧通道尺寸;(b)芯片衬底微通道结构尺寸

Fig. 3 (a)Dimensions of the LDA distributed manifold channel. (b)Dimensions of chip substrate microchannel structure

2.2 LDA 衬底微通道器件仿真模型

衬底微通道最小尺寸 10 μ m 级与器件整体最大尺寸 11.3 mm 相差近千倍,属于跨尺度仿真模拟。因此,为便于计算,将器件按照尺寸级别进行局部化网格划分,形成不同尺度的结构差异化网格。

本研究利用 FloTherm 软件建立了包括连续性、动量和能量方程在内的三维共轭传热模型。模型以水作为冷却介质,半导体激光芯片(有源区与衬底)材料为砷化镓,分布式歧通道与底座为铜材质,具体边界条件如下:(1)入口流量设置为 0.05~0.35 L/min,冷却介质为去离子水;(2)入口水流温度设置为 20 $^{\circ}$ C,恒温;(3)出口压力设置为 0 kPa,恒压;(4)芯片有源区施加面热源,总热量 Q 为 200 W,芯片有源区大小为 10 mm $\times$ 2 mm,因此,热流密度为 1 000 W/cm²;(5)外壁面设为绝

热面,仅考虑热传导与液冷对流换热。间隔 N 为 10~50 μ m,衬底微通道横向长度与芯片有源区长度相同。分布式歧通道增加了进入衬底微通道的流体出口与入口数量,见图 2(a),使流量分配至每个歧通道入口,减小衬底微通道的流阻。

热面,仅考虑热传导与液冷对流换热。

3 LDA 衬底微通道器件结构设计与仿真研究

双 T 型流型结构为分布式流型结构,分为上层微通道散热模块与下层分布式流型模块,因分布式流型模块尺寸与衬底微通道结构尺寸相差数量级,分布式流型模块仅对衬底微通道结构提供流体供应与流体分布,对温升控制不处于主导地位。所以本研究主要探索衬底微通道结构变量与固定的流型分布结构组合,通过研究衬底微通道的宽度、间隔、高度、形状与布局,明确各个变量在衬底微通道分布式流型结构中的作用,阐释半导体激光芯片衬底微通道流型结构的散热机理。

3.1 微通道宽度对温升的影响

为实现微通道宽度对芯片温升的影响机理探

索,本研究继续采用变量控制方法,设定流道间隔与流道宽度相等,高度设定为 $60\text{ }\mu\text{m}$,考虑刻蚀工艺与成本问题,流道宽度起始尺寸设置为 $10\text{ }\mu\text{m}$,采用仿真软件数值模拟衬底流道宽度分别在

$10\text{ }\mu\text{m}$ 、 $20\text{ }\mu\text{m}$ 、 $30\text{ }\mu\text{m}$ 、 $40\text{ }\mu\text{m}$ 四种变量结构设计,液冷条件在 $0.05\sim 0.35\text{ L/min}@20\text{ }^{\circ}\text{C}$ 下的半导体激光芯片温升与驱动压力,研究流道宽度变量对温升的影响机理,仿真结果见图4~图6。

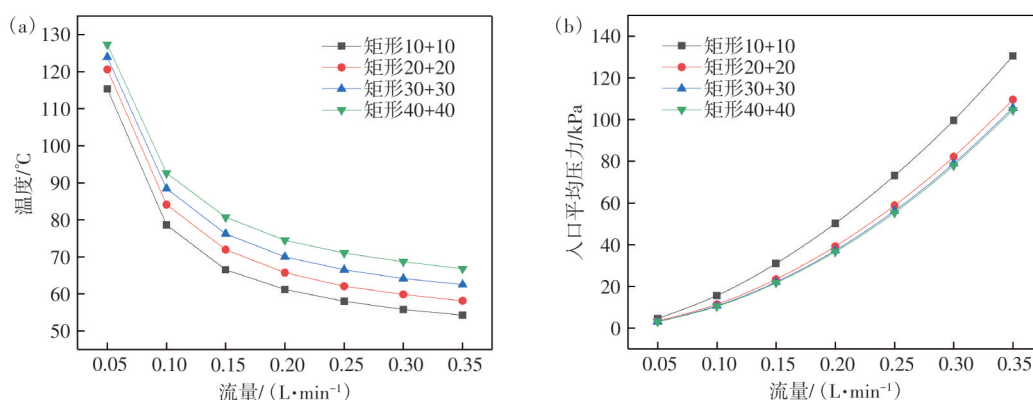


图4 (a)流道宽度对芯片温度的影响;(b)流道宽度对入口压力的影响

Fig. 4 (a)The effect of channel width on chip temperature. (b)The effect of channel width on inlet mean pressure

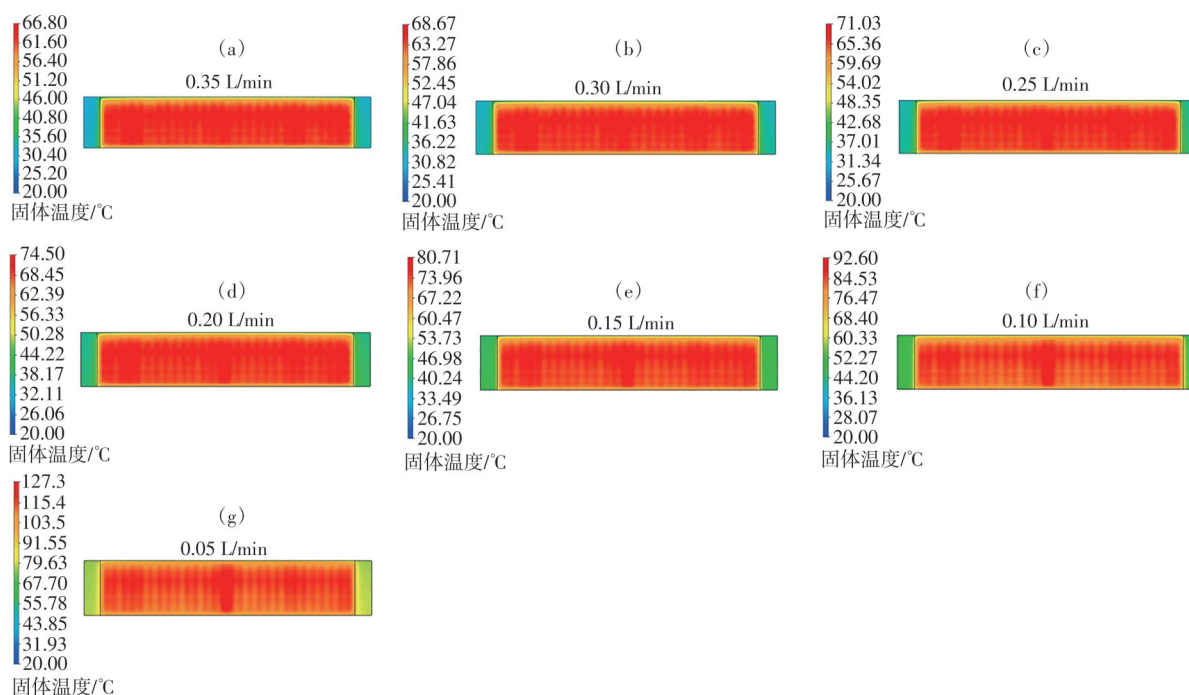


图5 流量对芯片温度分布的影响($40\text{ }\mu\text{m}$ 宽+ $40\text{ }\mu\text{m}$ 流道间隔衬底流道结构)

Fig. 5 The effect of different flow rates on chip temperature distribution (the chip with a $40\text{ }\mu\text{m}$ wide + $40\text{ }\mu\text{m}$ spacing in substrate channel structure)

由图4数据结果分析可知,半导体激光芯片温度随流道宽度的变化,产生较大差异,但本研究设计的流型分布散热结构产生的压降随流道宽度变化的差异较小,曲线接近重合。这种现象表明该流型设计结构对温升有显著的调控能力,但对压力分布影响较小。这是由于双T型模型采用的流型结构为分布式,既充分利用了微米级结构内流体高端流状态及高流速、高有效换热面积的优势,

又通过多个出入口通道充分释放压力,降低微米级通道长流程产生的巨大流阻,实质性地将流体通道的通路扩大数倍。研究数据显示,窄的流道宽度表现出低的芯片温升,随着流道宽度增加,芯片最高温逐渐升高,温升增加幅值随着流道宽度变化较大。其中, $10\text{ }\mu\text{m}$ 流道宽度与 $10\text{ }\mu\text{m}$ 流道间隔结构等流量条件下温升最低,在 $0.35\text{ L/min}@20\text{ }^{\circ}\text{C}$ 液冷条件下,芯片最高温度为 $54.27\text{ }^{\circ}\text{C}$;

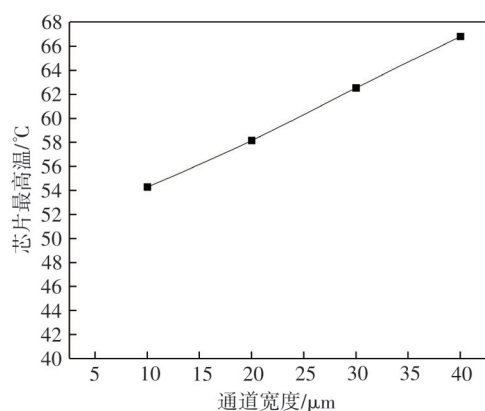


图 6 流道宽度对芯片温度的影响

Fig.6 The effect of channel width on chip temperature

40 μm 流道宽度与 40 μm 流道间隔结构等流量条件下温升最高,等流量条件下芯片最高温度为 66.80 $^{\circ}\text{C}$ 。如图 6,流道宽度对于温升的影响呈现线性增加,拟合线性公式为 $y=0.4195x+49.946$,当流道宽度为 50 μm 、间隔为 50 μm 时,芯片最高温升为 70.92 $^{\circ}\text{C}$;当流道宽度为 1 μm 、间隔为 1 μm 时,芯片最高温升为 50.37 $^{\circ}\text{C}$ 。因此,在 1 000 W/cm^2 热流密度下,采用 0.35 L/min 流量冷

却芯片,衬底微结构在 10~40 μm 为佳,大于 40 μm 芯片温度高于 70 $^{\circ}\text{C}$,对芯片的耐受性产生影响,低于 10 μm ,工艺成本与难度增加。

图 5 结果显示了 40 μm 宽+40 μm 间隔衬底流道结构的芯片温升云图,随着流量逐渐降低,芯片温度逐渐升高,芯片表面温度均匀性也随之下降。

由此可见,液冷通道宽度对芯片温升影响显著,可以作为控制温升的技术手段之一,并且这种控制能力对于驱动压力的影响较小。

3.2 微通道间隔对温升的影响

设定流道宽度 10 μm 与高度 60 μm 不变,仿真流道间隔对 LDA 温升影响,分别设置 20 μm 、30 μm 、40 μm 、50 μm 间隔变量,计算数据如图 4 所示。随着间隔宽度增大,芯片最高温度存在一个最低值 50.52 $^{\circ}\text{C}$,对应 10 μm 流道宽度、30 μm 流道间隔的结构设计。研究表明,流道间隔影响散热通道的填充因子(填充因子=流道宽度/(流道宽度+流道间隔)),因此,流道间隔转换为填充因子作为一个综合变量,换算后的数据见表 1。

表 1 填充因子对芯片温度的影响

Tab. 1 The effect of fill factor on chip temperature

间隔宽度/ μm	填充因子	热流密度/ ($\text{W}\cdot\text{cm}^{-2}$)	冷却流量/ ($\text{L}\cdot\text{min}^{-1}$)	芯片最高温/ $^{\circ}\text{C}$	入口平均 压力/kPa	流速/($\text{m}\cdot\text{s}^{-1}$)
20	0.33	1 000	0.35	51.07	156.12	11.04
30	0.25	1 000	0.35	50.52	185.46	12.27
40	0.20	1 000	0.35	52.08	222.78	15.10
50	0.17	1 000	0.35	53.23	262.21	17.82

图 7(a)结果表明,芯片最高温整体随着流量增高而逐渐降低,然而驱动压力表现出相反的趋势。温升整体波动在 4 $^{\circ}\text{C}$ 以内,但对应的驱动压力整体波动超过 110 kPa(图 7(c))。图 7(e)中的流速与图 7(c)中的驱动压力表现出相同趋势,其中 10 μm 宽的流道搭配 30 μm 宽的间隔模型随流量变化的仿真结果曲线表现出明显的低温升优势,具有较低的芯片最高温度,并且随着流量增大,这种优势逐渐明显,然而压力曲线与流速曲线并未表现出如此趋势与特性。当间隔宽度转换为填充因子以后,表 1 结果显示,随着间隔宽度逐渐增加即填充因子减少,芯片最高温呈现先降低后增加的趋势,数据结果显示一个最小值;然而,驱动压力与流速并未出最小值或最大值的极限情况,整体呈现增加趋势。

$$R_{\text{HeatTransfer}} = \frac{d}{Nu \cdot K \cdot S}, \quad (1)$$

$$Nu = 1.51 Re^{0.44} Pr^{0.4} \left(\frac{L}{d}\right)^{-0.11}, \quad (2)$$

$$Re = \frac{\rho v d}{\mu}, \quad (3)$$

$$Pr = \frac{\mu C_p}{K}, \quad (4)$$

其中, $R_{\text{HeatTransfer}}$ 为对流换热热阻, d 为等效水力直径, Nu 为努塞尔数, Re 为雷诺数, K 为流体导热系数, Pr 为普朗特数, S 为换热面积, L 为特征长度, ρ 为流体密度, v 为流体流速, μ 为流体粘度。

依据公式(1)~(4),随着填充因子降低,流道数目减少,等流量条件下,流道内的最高流速 v 逐渐升高,高的流速可以提升湍流度 Re ,减少边界层,增强流体与固体换热能力,使对流换热热阻降

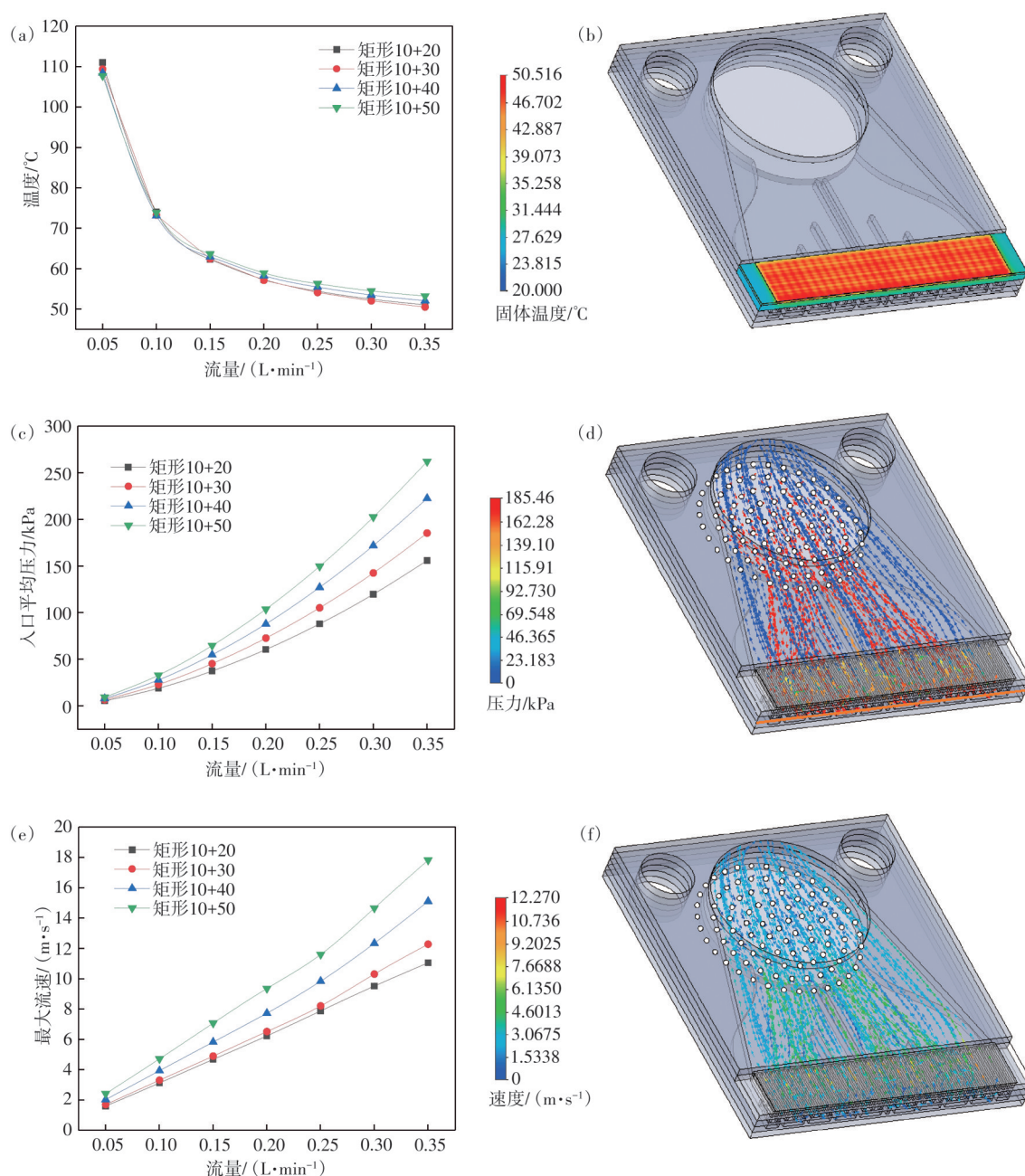


图7 流道间隔对芯片温度、驱动压力、流速的影响。(a)、(c)、(e)流道宽度为10 μm,流道间隔为20 μm、30 μm、40 μm和50 μm的芯片温度、入口平均压力、流速随流量变化曲线;(b)、(d)、(f)流道宽度10 μm、流道间隔30 μm的结构在0.35 L/min流量、芯片热流密度1 000 W/cm²、液冷流量0.35 L/min@20 °C条件下芯片温度、出入口压力与流速分布云图

Fig. 7 The effect of channel spacing on chip temperature, driving pressure, and flow velocity. (a), (c), (e) The curves of temperature, inlet mean pressure, and flow velocity varying with flow rate for channel widths of 10 μm and channel spacings of 20 μm, 30 μm, 40 μm and 50 μm. (b), (d), (f) The temperature, driving pressure, and flow velocity distribution on the chip with a channel width of 10 μm and a channel spacing of 30 μm under a flow rate of 0.35 L/min@20 °C and a heat flux density of 1 000 W/cm²

低。然而,随着填充因子降低,相应的对流换热面积 S 减小,削弱换热能力,又导致对流换热热阻增大。流速的提升与换热面积减小之间存在一个此消彼长的过程,导致最佳填充因子出现。因此,在该填充因子条件下,芯片最高温为50.52 °C,液冷

出入口平均温度为22.38 °C,计算热阻=(芯片最高温-出入口平均温度)/200=0.14 K/W。

综上所述,在分布式流型结构的衬底微通道模型中,填充因子对于温升的影响呈现先降低后增加的趋势,而这种趋势存在一个温升最低值。

本研究为便于探索影响机理,采用的是间隔距离等差值增加的变量控制方式展开仿真,研究数据仅表明数据曲线趋势。本文最佳填充影响因子为 0.25,芯片温度最低,驱动压力最低。

3.3 通道高度对散热能力的影响

为研究通道高度对衬底微通道散热能力的影响,本研究通过对比 90 μm 、80 μm 、70 μm 与 60 μm 四种流道高度,保持 10 μm 通道宽度与 30 μm 通道间隔不变,因此,对应的深宽比为 9:1、8:1、7:1、6:1,采用仿真模拟的方式,得到图 8 的仿真结果。研究数据表明,流道高度与流道宽度类似,影响流体与固体的换热面积和流体流速,流道高度增加使芯片最高温度随之升高。

从图 8 中可见,随着流量减少,芯片冷却能力

逐渐降低。小于 0.1 L/min 流量条件下,芯片的冷却能力受流道高度即深宽比影响小;大于 0.1 L/min 流量条件下,流量增高,深宽比对芯片温度影响程度逐渐扩大。在 0.35 L/min@20 $^{\circ}\text{C}$ 条件下,60 μm 流道高度即深宽比为 6:1 时表现出明显温升优势,因此通道高度可以作为控制芯片温升的重要参数之一。通道高度降低可以有效减少加工成本,因为通道高度控制与通道宽度控制原理不同,流道高度是通过时间累计达到刻蚀深度,而流道宽度刻蚀是相同面上的同时刻蚀。然而,流道高度不可无限减少,过度的高度减少将导致极剧的驱动压力增加,产生高的系统耐压要求。因此,采用合适的流道高度具有重要研究意义。

综上所述,流道高度可作为温升控制技术之一,但控制能力不及流道宽度的影响。

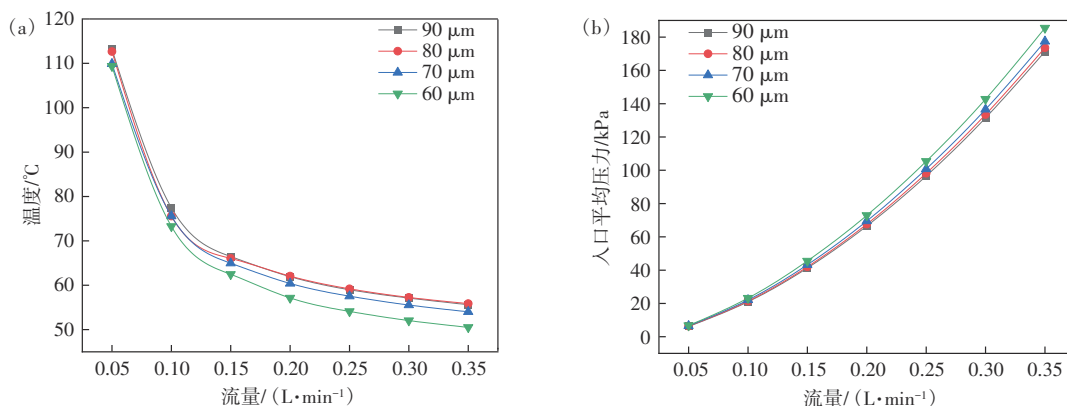


图 8 (a)流道高度对芯片温度的影响;(b)流道高度对入口平均压力的影响

Fig. 8 (a)The effect of channel height on chip temperature. (b)The effect of channel height on inlet mean pressure

3.4 微通道布局对温升的影响

有研究表明,余弦曲线结构布局对微通道的散热能力有显著影响^[22]。在边界层范围内,曲线布局结构通过加强流体混合,对流换热能力显著增强。在弯曲通道中,由于流速矢量方向改变导致流体产生离心力,乱流流动增加了流体的混合,减小了热边界层和水动力边界层的厚度,从而增强了传热。在弯曲通道中,正余弦波浪几何结构较其他弯曲通道具有更好的热工性能:增加流道中的振幅与波长比可以增强这些系统的性能,以消除较高的热通量并防止热点的产生。

本研究采用分布式流型结构,冷却流体在衬底底部的流道内流动(短程流动)与传统长程流动产生差别。为探明这种曲线结构布局对温升的增强效果是否适用于本研究中的流型结构,研究者采用余弦曲线(曲线公式 $Y=5\times\cos(2\times$

$\pi\times x/50)$)绘制波浪型布局模型,曲线流道宽度设置为 10 μm ,间隔设置为 30 μm ,区别于直线型的流道结构布局,见图 9。根据相关研究^[22],余弦曲线的振幅与波长是影响散热能力的关键因素,当振幅与波长比值接近 1:10,通道宽度与振幅比值接近 2:1 时,换热效果较好。因此,采用上述余弦曲线绘制的波浪形布局的流道得到图 10 所示的数据。

图 10 数据显示,S 型布局(余弦波浪曲线)在分布型流型结构中总体呈现流量逐渐增高、温度逐渐降低的趋势,入口平均压力的增加幅度明显高于温升降低幅度。因此,S 型曲线布局的分布流型模型在本研究中并未明显体现出原有的传热增强现象。这可能与本研究中分布式流型结构自身的特点有关,流体在衬底微通道的流程明显低于传统的长程流道流动特性,分布式流型结构的

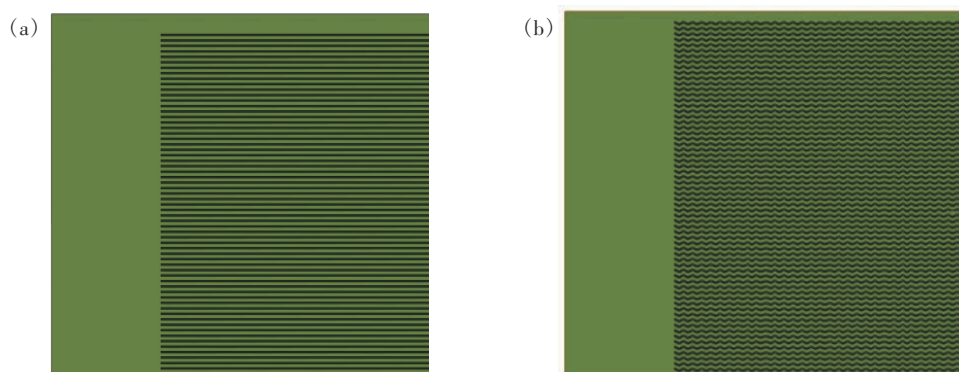


图9 (a)直线型布局;(b)S曲线布局

Fig. 9 (a)Linear layout. (b)S-curve channel layout

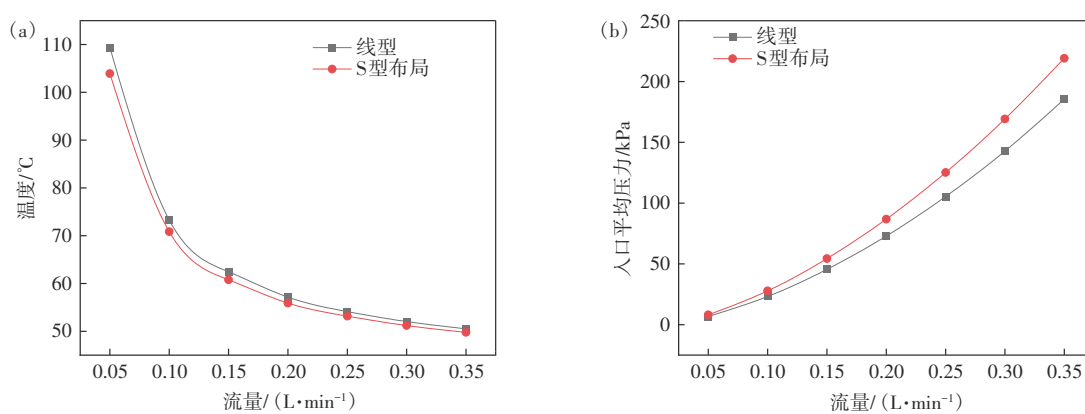


图10 (a)渠道布局对芯片温度的影响;(b)渠道布局对入口平均压力的影响

Fig. 10 (a)The effect of channel layout on chip temperature. (b)The effect of channel layout on inlet mean pressure

流出与流入特性导致曲线型流道的流动扰动现象在短程流动中并未完全体现或充分发展。图10中的研究数据同时表明,在低流量区间内(流量低于0.15 L/min),本研究结构的S曲线布局模型散热能力稍强,当流量高于临界值时,直线布局的模型在散热增强方面与曲线模型散热能力逐渐趋于一致。

研究结果表明,与传统模型相比,S型曲线布局的模型在分布式流型结构中未表现出明显的散热增强能力,这与分布式流型结构的多入口与多出口短程流动特性有关;而曲线流动表现出较强的流动阻力,导致入口平均压力上升。这对于本研究的设计是不利的,因此,线性布局更适用于本研究的半导体激光芯片衬底分布式流型微通道结构。

3.5 微通道形状结构设计研究

为探索半导体激光芯片衬底微通道形状对温升的影响程度,本研究采用仿真的方式拟合对比了三角形形状与矩形形状流道的半导体激光芯片衬底微通道分布式流型结构温升变化。保

持分布式流型通道结构其他尺寸不变,矩形流道宽度10 μm ,流道间隔30 μm ,流道高度60 μm ;等腰三角通道截面底边长度为10 μm ,高度为60 μm ,温升数据如图11所示。矩形流道与三角形流道相比,有明显的温升优势,并且这种优势随流量增大逐渐扩大,当液冷流量为0.35 L/min时,温差扩大至9 $^{\circ}\text{C}$ 左右,矩形通道所产生的流体阻力远小于三角形通道,仅为三角形通道流体驱动压力的一半。

横截面为三角形的流体通道,其换热面积小于矩形通道,导致对流换热热阻降低。依据公式(1),对流换热热阻与换热面积成反比,虽然流速增加,但流速增加的幅度不足以抵消换热面积带来的负面效果,因此,三角形流道的降温效果不及矩形通道。图11数据同时表明,三角形结构带来的负面效果还有大的驱动压力,这是因为当截面为三角形的流体通道底部与矩形通道长度等数值、高度相等时,其流过的截面积仅为原来矩形的一半,导致驱动压力急剧上升。

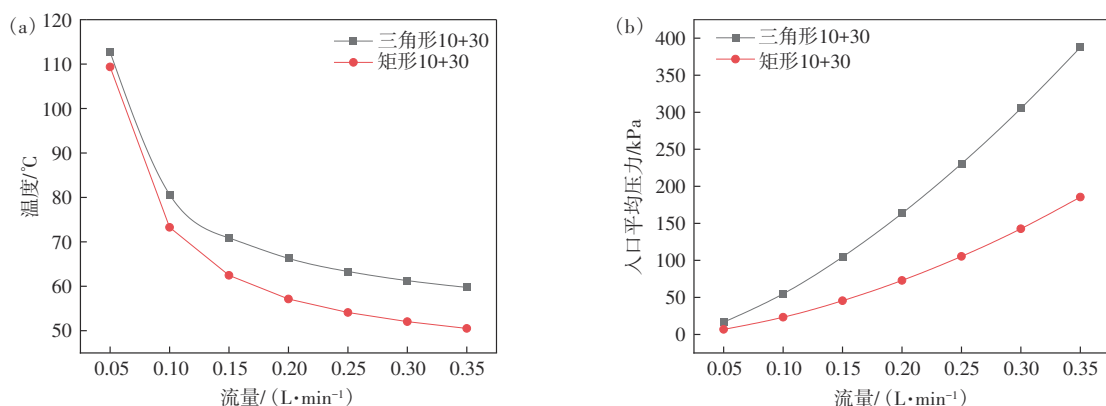


图 11 (a)通道形状对芯片温度的影响;(b)通道形状对入口平均压力的影响

Fig. 11 (a)The effect of channel shape on chip temperature. (b)The effect of channel shape on inlet mean pressure

4 结 论

本研究设计了一种 LDA 衬底微通双 T 型模型结构,探讨了衬底微结构参数对流体压力与芯片散热性能的影响机制。在分布式流型结构模型中,流道间隔(填充因子)对温升的影响呈现先降低后增加的趋势,并在最佳填充因子附近(0.25)达到最低温升 30.52 °C@0.35 L/min,对应驱动压力为 185.46 kPa。液冷通道的宽度对芯片温升具有显著影响,可以作为有效控制芯片温升的结构参数;而其对驱动压力的影响相对较小,根据拟合流道宽度对芯片温升影响的线性公式 $y=0.4195x+49.946$,虽然降低流道高度也能降低温升,但其效果不如调整填充因子显著。与传统模型相比,S 型曲线布局在分布式流型结构中的散热增强效果不明显,有更高的水阻导致驱动压力增高,线性布局更适用于本研究的 LDA 衬底微通

道分布式流型结构。截面为矩形流道的衬底结构与三角形流道相比,有明显的温升优势,并且这种优势随着流量增大而逐渐扩大,在液冷流量达到 0.35 L/min,温差扩大至约 9 °C 左右,矩形通道所产生的流体阻力远小于三角形,仅为三角形流体驱动压力的一半。

与传统外置的微通道热沉相比,LDA 衬底微通道结构液冷具有明显的散热优势。Zeng 等^[14]的研究结果表明,传统液冷热沉在 0.8 L/min 冷却流量条件下,温升达到 52.75 K。集成化的衬底微通道散热结构,冷却流量为 0.35 L/min,在相同热流密度条件下,温升为 30.52 °C,驱动压力为传统液冷热沉的 48.6%。

本文专家审稿意见及作者回复内容的下载地址:
<http://cjl.lightpublishing.cn/thesisDetails#10.37188/CJL.20240205>

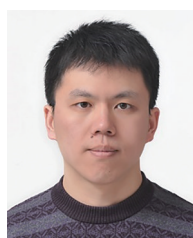
参 考 文 献:

- [1] CAIRD J, AGRAWAL V, BAYRAMIAN A, *et al.* Nd:glass laser design for laser ICF fission energy (LIFE) [J]. *Fusion Sci. Technol.*, 2009, 56(2): 607-617.
- [2] WÖLZ M, PIETRZAK A, KINDSVATER A, *et al.* Laser diode stacks: pulsed light power for nuclear fusion [J]. *High Power Laser Sci. Eng.*, 2016, 4(e14):1-8.
- [3] EXTANCE A. Military technology: laser weapons get real [J]. *Nature*, 2015, 521(7553): 408-410.
- [4] PANDEY R, MERCHEN D, STAPLETON D, *et al.* Advancements in high-power diode laser stacks for defense applications [C]. *Proceedings of SPIE 8381, Laser Technology for Defense and Security VIII*, Baltimore, MD, USA, 2012: 83810G.
- [5] 张小民, 胡东霞, 许党朋, 等. 浅论强激光系统的物理受限问题 [J]. *中国激光*, 2021, 48(12): 1201002.
 Zhang X M, HU D X, XU D P, *et al.* Physical limitations of high-power, high-energy lasers [J]. *Chin. J. Lasers*, 2021, 48(12): 1201002. (in Chinese)
- [6] WANG L, QU H W, QI A Y, *et al.* High-power laser diode at 9xx nm with 81.10% efficiency [J]. *Opt. Lett.*, 2022, 47

- (13): 3231-3234.
- [7] LORENZEN D, BONHAUS J, FAHRNER W R, *et al.* Micro thermal management of high-power diode laser bars [J]. *IEEE Trans. Ind. Electron.*, 2001, 48(2): 286-297.
- [8] KNAPCZYK M T, JACOB J H, EPPICH H, *et al.* 70% efficient near 1 kW single 1-cm laser-diode bar at 20 °C [C]. *Proceedings of SPIE 7918, High-Power Diode Laser Technology and Applications IX*, San Francisco, CA, USA, 2011: 79180F.
- [9] SCHLENKER E L. *Modeling and Characterization of High-power Electronic Devices: System Analysis of Laser Diodes with Flash Boiling and GaN HEMT Reliability Modeling* [D]. West Lafayette: Purdue University, 2018.
- [10] YUAN Z B, WANG J W, WU D, *et al.* Study of steady and transient thermal behavior of high power semiconductor lasers [C]. *Proceedings of 2009 59th Electronic Components and Technology Conference*, San Diego, CA, 2009: 831-836.
- [11] 杜宇琦, 王贞福, 张晓颖, 等. 高功率半导体激光阵列芯片测试表征与仿真优化 [J]. *发光学报*, 2021, 42(5): 674-681.
- DU Y Q, WANG Z F, ZHANG X Y, *et al.* Testing characterization and simulating optimization of high-power laser diode array chips [J]. *Chin. J. Lumin.*, 2021, 42(5): 674-681. (in Chinese)
- [12] 鲁瑶, 聂志强, 陈天奇, 等. 传导冷却单巴高功率半导体激光器热应力和 smile 研究 [J]. *光子学报*, 2017, 46(9): 0914001.
- LU Y, NIE Z Q, CHEN T Q, *et al.* Thermal stress and smile of conduction-cooled high power semiconductor laser arrays [J]. *Acta Photon. Sinica*, 2017, 46(9): 0914001. (in Chinese)
- [13] 聂志强, 王明培, 孙玉博, 等. 传导冷却高功率半导体激光器单巴器件 CW 工作模式下的热加速寿命试验 [J]. *发光学报*, 2019, 40(9): 1136-1145.
- NIE Z Q, WANG M P, SUN Y B, *et al.* Thermally accelerated aging test of conduction-cooled-packaged high power diode laser bar in CW mode [J]. *Chin. J. Lumin.*, 2019, 40(9): 1136-1145. (in Chinese)
- [14] HEINEN B, ZHANG F, SPARENBERG M, *et al.* On the measurement of the thermal resistance of vertical-external-cavity surface-emitting lasers (VECSELs) [J]. *IEEE J. Quantum Electron.*, 2012, 48(7): 934-940.
- [15] MUNDINGER D, BEACH R, BENNETT W, *et al.* High average power edge emitting laser diode arrays on silicon micro-channel coolers [J]. *Appl. Phys. Lett.*, 1990, 57(21): 2172-2174.
- [16] DENG Z, SHEN J, DAI W, *et al.* Numerical study on cooling of high-power laser diode arrays using slot jet array impingement [J]. *Appl. Therm. Eng.*, 2019, 160: 114061.
- [17] DENG Z, SHEN J, DAI W, *et al.* Experimental study on cooling of high-power laser diode arrays using hybrid microchannel and slot jet array heat sink [J]. *Appl. Therm. Eng.*, 2019, 162: 114242.
- [18] LI H X, REINHARDT F, CHYR I, *et al.* High-efficiency, high-power diode laser chips, bars, and stacks [C]. *Proceedings of SPIE 6876, High-Power Diode Laser Technology and Applications VI*, San Jose, CA, 2008: 68760G.
- [19] 余怀强, 唐光庆, 桂进乐, 等. 微系统热管理技术的新发展 [J]. *压电与声光*, 2018, 40(6): 931-935.
- YU H Q, TANG G Q, GUI J L, *et al.* New development of thermal management technology for microsystems [J]. *Piezoelectr. Acoustoopt.*, 2018, 40(6): 931-935. (in Chinese)
- [20] VAN ERP R, SOLEIMANZADEH R, NELA L, *et al.* Co-designing electronics with microfluidics for more sustainable cooling [J]. *Nature*, 2020, 585(7824): 211-216.
- [21] VAN ERP R, MATIOLI E. Microfluidic cooling for GaN electronic devices [M]. TADJER M J, ANDERSON T J. *Thermal Management of Gallium Nitride Electronics*. Cambridge: Woodhead Publishing, 2022: 407-439.
- [22] GHORBANI N, TARGHI M Z, HEYHAT M M, *et al.* Investigation of wavy microchannel ability on electronic devices cooling with the case study of choosing the most efficient microchannel pattern [J]. *Sci. Rep.*, 2022, 12(1): 5882.



陈琅(1989-),男,陕西咸阳人,硕士,工程师,2016年于海南大学获得硕士学位,主要从事器件散热封装设计、芯片热性能方面的研究。
E-mail: chenlang@opt.ac.cn



李特(1981-),男,吉林长春人,博士,研究员,2008年于中国科学院大学获得博士学位,主要从事新型半导体激光芯片及其器件的研究。
E-mail: lite@opt.ac.cn