



高性能超薄In-Ga-Zn-O突触晶体管制备

杨倩, 杜世远, 罗榕思

引用本文:

杨倩, 杜世远, 罗榕思. 高性能超薄In-Ga-Zn-O突触晶体管制备[J]. *发光学报*, 2021, 42(2): 250-256.

YANG Qian, DU Shi-yuan, LUO Rong-si. Preparation of High Performance Metal Oxide Synaptic Transistor with Ultra-thin Channel Layer[J]. *Chinese Journal of Luminescence*, 2021, 42(2): 250-256.

在线阅读 View online: <https://doi.org/10.37188/CJL.20200296>

您可能感兴趣的其他文章

Articles you may be interested in

沟道层厚度对室温制备的In₂O₃薄膜晶体管器件性能的影响

Effect of Channel Layer Thickness on The Device Characteristics of Room Temperature Fabricated In₂O₃ Thin-film Transistors
发光学报. 2013, 34(3): 324-328 <https://doi.org/10.3788/fgxb20133403.0324>

电极材料对IGZO薄膜晶体管性能的影响

Effects of Electrode Materials on The Performances of IGZO-based Thin Film Transistor
发光学报. 2014(11): 1365-1369 <https://doi.org/10.3788/fgxb20143511.1365>

基于数据线控制发光的A-IGZO薄膜晶体管集成AMOLED像素电路

A-IGZO Thin-film Transistors Integrated AMOLED Pixel Circuit with Data Line Controlled Light-emitting
发光学报. 2018, 39(11): 1549-1556 <https://doi.org/10.3788/fgxb20183911.1549>

双异质结构的双极型有机薄膜晶体管的研制

Ambipolar Organic Thin Film Transistors with Double Heterojunction
发光学报. 2015, 36(4): 480-484 <https://doi.org/10.3788/fgxb20153604.0480>

基于Sb₂O₃/Ag/Sb₂O₃叠层透明导电薄膜的自组装沟道透明薄膜晶体管

Self-assembled Channel Transparent Thin-film Transistors Based on Sb₂O₃/Ag/Sb₂O₃ Multilayer Transparent Conductive Films
发光学报. 2014(12): 1469-1473 <https://doi.org/10.3788/fgxb20143512.1469>

文章编号: 1000-7032(2021)02-0250-07

高性能超薄 In-Ga-Zn-O 突触晶体管制备

杨 倩¹, 杜世远^{2*}, 罗榕思³

(1. 福州大学至诚学院, 福建 福州 350002;

2. 福建卫生职业技术学院, 福建 福州 350101; 3. 福建省建筑科学研究院, 福建 福州 350101)

摘要: 近年来,二维材料(2D materials)突触晶体管器件由于其维度低、可同时读写操作、效率高等优势,受到了研究者的广泛关注。然而,由于二维材料的工艺兼容性、重复性以及复杂的转移过程,它的实现仍然是一个巨大的挑战。本文采用简单的提拉法工艺,实现了超薄铟镓锌氧化物(In-Ga-Zn-O, IGZO)半导体层(小于8 nm)的突触晶体管,其工作电压低至3 V;并成功地模拟了重要的生物突触行为,包括兴奋性后突触电流(EPSC)、双脉冲易化(PPF)以及突触长程增强(LTP)等。在超薄半导体薄膜条件下,由于缺陷的增强效应和栅电压对超薄半导体层可控性的提高,有效提升了突触器件的记忆保持能力,使其长程性能得到增强。这种改善突触晶体管长程特性的方式,为利用普通材料制作高性能二维突触晶体管提供了一种简单易行的方法。

关键词: 超薄; 金属氧化物薄膜晶体管; 突触

中图分类号: TN321+.5

文献标识码: A

DOI: 10.37188/CJL.20200296

Preparation of High Performance Metal Oxide Synaptic Transistor with Ultra-thin Channel Layer

YANG Qian¹, DU Shi-yuan^{2*}, LUO Rong-si³

(1. Zhicheng College, Fuzhou University, Fuzhou 350002, China;

2. Fujian Health College, Fuzhou 350101, China; 3. Fujian Academy of Building Research, Fuzhou 350101, China)

* Corresponding Author, E-mail: ado2080992@163.com

Abstract: In recent years, two-dimensional materials(2D materials) based synaptic transistor devices have attracted extensive attention due to their low dimension, simultaneous read-write operation and high efficiency. However, the process compatibility, repeatability and complex transfer process of these materials are still a great challenge. In this work, a simple dip-coating method was utilized to realize a synaptic transistor with an ultra-thin indium gallium zinc oxide(In-Ga-Zn-O, IGZO) semiconductor layer(less than 8 nm). The operating voltage was as low as 3 V. The important biological synaptic behaviors were successfully simulated, including excitatory post-synaptic current(EPSC), paired pulse facilitation(PPF), and long-term potentiation(LTP). Under ultra-thin condition, due to the enhancement effect of defects and the improvement of the controllability of ultra-thin active layer by gate voltage, the memory retention ability of our synaptic transistor is improved. Our work proposed a way to improve the long-term characteristics of synaptic transistors, and provided a simple and easy method for the preparation of high-performance ultra-thin synaptic transistors using common materials.

Key words: ultra-thin; metal-oxide thin film transistor; synapse

收稿日期: 2020-10-09; 修订日期: 2020-12-09

基金项目: 福建省教育厅中青年教师教育科研项目(JT180812); 海峡两岸职业教育专项研究课题(FJKHX17-072)资助项目
Supported by Education and Scientific Research Project for Young and Middle-aged Teachers of Education Department of Fujian Province(JT180812); Special Research for Vocational Education on Both Sides of the Taiwan Strait(FJKHX17-072)

1 引 言

近年来,类脑计算已成为人工智能领域的研究热点。大脑具有高密度的突触和神经元,它们构成了一个复杂的神经计算网络,通过大规模并行计算确保大脑进行复杂的学习、计算和记忆^[1-2]。自 20 世纪 50 年代以来,基于软件的类脑计算已经取得了很大的进展,然而,基于软件的计算方法依赖于传统的冯·诺依曼结构,其数据处理和存储在物理上是分离的,导致其效率低、能耗高。近年来,另一种基于硬件层面上受到大脑启发的神经形态计算学科——突触电子学,成为研究的热门话题^[3]。其中,电子突触是实现硬件的神经形态计算网络的基础和关键,数据的处理和存储可以在单一突触器件内同时实现^[4-5]。

为了实现这一目标,人们开发了多种电子突触器件,例如忆阻器、相变存储器、原子开关和突触晶体管^[6-9]。其中,三端突触晶体管由于能耗低、扩展性高以及与生物神经元相似,在人工突触方面有着巨大的应用前景。在三端突触晶体管中,基于二维(2D)材料作为半导体层的突触晶体管由于其独特的尺寸优势,在改善器件性能方面显示出巨大的潜力。2D 材料具有超薄的原子或分子尺度厚度,可保护器件性能不受表面缺陷、散射和扩散的影响,且具有均匀的微观结构并能实现有效的栅极控制。因此,是一种理想的模拟突触的材料^[10-11]。Ren 和他的同事研制了一种塑性可调的基于石墨烯的突触晶体管^[12]。由于石墨烯具有双极性电导,故可同时实现兴奋性和抑制性突触。Das 等利用 MoS₂ 晶体管模拟了化学突触的神经递质释放动力学^[13]。虽然基于 2D 材料的晶体管在突触方面已经取得了巨大成功,但其制备方法存在许多问题,如化学气相沉积设备昂贵,制作后存在一定的有毒气体残留;机械剥离效率低,重复性差;分子束外延薄膜沉积速度慢等^[14-15]。

然而,超薄金属氧化物半导体薄膜在解决上述问题上有着独特的优势。金属氧化物薄膜可以通过溶液处理来沉积,具有大面积生产和低成本的优点^[16-17]。此外,通过降低溶液浓度或改变溶液沉积速度来制备二维半导体薄膜是可行的,这不仅极大地丰富了二维材料的家族,更重要的是简化了制备过程并扩大了其应用范围。此外,超

薄的半导体薄膜可以缓解块体薄膜中经常出现的散射现象,从而有助于调节薄膜的性质。但是,超薄金属氧化物薄膜在突触晶体管上的应用却鲜有报道。

本文采用简单的提拉法制备了具有超薄有源层的 N 型铟镓锌氧化物(In-Ga-Zn-O, IGZO)突触晶体管, TFT 开关比为 10⁴, 工作电压低至 3 V。在超薄突触器件上成功模拟了生物突触的基本功能,如兴奋性后突触后电流(EPSC)、双脉冲易化(PPF)以及突触长程增强(LTP)。值得注意的是,具有超薄有源层的突触晶体管表现出更好的长程保持特性。这是由于较薄的薄膜中缺陷对性能有更显著的影响,从而具有更好的保持特性。本工作提出了改善突触晶体管长程特性的方式,同时为利用普通材料制作高性能二维突触晶体管提供了一种简单易行的方法。

2 实 验

2.1 突触晶体管的制备

IGZO 前驱体溶液的制备:将硝酸铟、硝酸镓、乙酸锌分别作为铟、镓、锌金属源,溶解在乙二醇甲醚中搅拌至澄清透明,并且加入一定量的乙醇胺(C₂H₇NO, 分析纯)作为稳定剂,铟、镓、锌 3 种元素的量比保持在 10:63:27,之后 60 °C 加热 2 h 并静置 12 h。

突触晶体管器件的制备:在纯硅片上制备金属氧化物突触晶体管的绝缘层和有源层。硅片不仅可以作为整个器件的衬底,而且可以作为薄膜晶体管的栅极。首先,依次采用丙酮、异丙醇和去离子水对硅片进行超声清洗 5 min,之后立即用氮气干燥。然后利用射频溅射(RF)制备了 130 nm 厚的氧化钽薄膜,再利用提拉法以 100 μm/s 的速度在氧化钽薄膜表面沉积 IGZO 前驱体,并在空气中 180 °C 预退火 10 min,之后 400 °C 退火 1 h,使溶剂蒸发。IGZO 薄膜的厚度主要由溶液浓度决定。为了获得不同厚度的薄膜,本文制备了不同浓度的溶液(0.05, 0.1, 0.3 mol/L)。最后,采用掩膜版蒸镀金属源漏电极并图案化,沟道长度为 30 μm,宽度为 1 000 μm。

2.2 薄膜表征及突触性能测试

薄膜特性及突触器件的电学特性都是在室温下大气中测量得到的。采用原子力显微镜(AFM)测量了金属氧化物薄膜的表面粗糙度和

厚度。采用安捷伦 B2902A 半导体参数分析仪进行电特性和突触行为的研究。

3 结果与讨论

3.1 超薄金属氧化物突触晶体管的电学性能

图 1(a) 为本文制备的底栅顶接触金属氧化物突触晶体管结构示意图, 其中, 绝缘层为固态电解质 Ta_2O_5 薄膜, 有源层为 IGZO 薄膜。制备过程主要包括三个步骤: 溅射氧化钽薄膜、提拉法制备金属氧化物沟道层、蒸镀源极和漏极, 器件的 SEM 截面图如图 1(b) 所示。

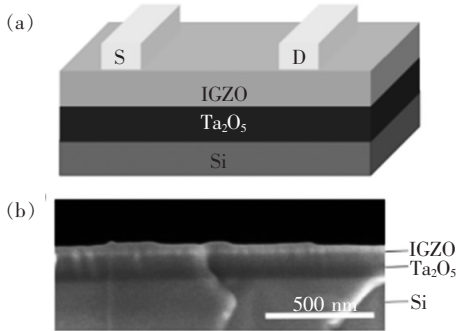


图 1 (a) 突触晶体管结构示意图; (b) 突触晶体管 SEM 截面图。

Fig. 1 (a) Schematic diagram of the synaptic transistor. (b) SEM image of the synaptic transistor.

为了研究有源层厚度对突触晶体管性能的影响, 我们通过控制溶液浓度制备了 3 种有源层厚度 (7, 21, 47 nm) 的突触器件。图 2 比较了不同沟道厚度器件的电学特性, 其中, 图 2(a) 为本文制备金属氧化物突触晶体管在不同厚度下的双扫转移曲线, 该曲线在 Ta_2O_5 薄膜厚度 130 nm、源漏电压 V_{DS} 为 5 V 情况下测试, 器件呈现出典型的 n 型特性曲线。由于固态电解质 Ta_2O_5 的电双层效应, 栅极介质层和半导体层界面之间具有极强的电双层调制效应, 因此, 基于固态电解质的薄膜晶体管可以在低电压下工作, 高 k 的 Ta_2O_5 薄膜 ($\epsilon_r = 20 \sim 35$) 可以有效降低驱动电压、降低器件功耗^[18]。并且, 转移曲线中的逆时针迟滞是由于固态电解质绝缘层中移动离子的运动引起的。图 2(b)、图 2(c) ~ (e) 分别为不同厚度下器件的转移曲线以及输出曲线, 其不同厚度下的电学性能如表 1 所示。值得注意的是, 随着半导体厚度的减小, 器件的开态电流随之降低。这是由于在超薄半导体层中载流子的数量减少以及载流子在超薄半导体层中传输路径受限, 从而导致在超薄有源层情况下, 器件开态电流减小, 开关比从 10^5 降为 10^4 。并且, 由于多数载流子数量的减小, 阈值电压 V_{TH} 随着半导体薄膜厚度的降低正向漂移, 表明在零栅压的情况下, 导电沟道可以更好地闭

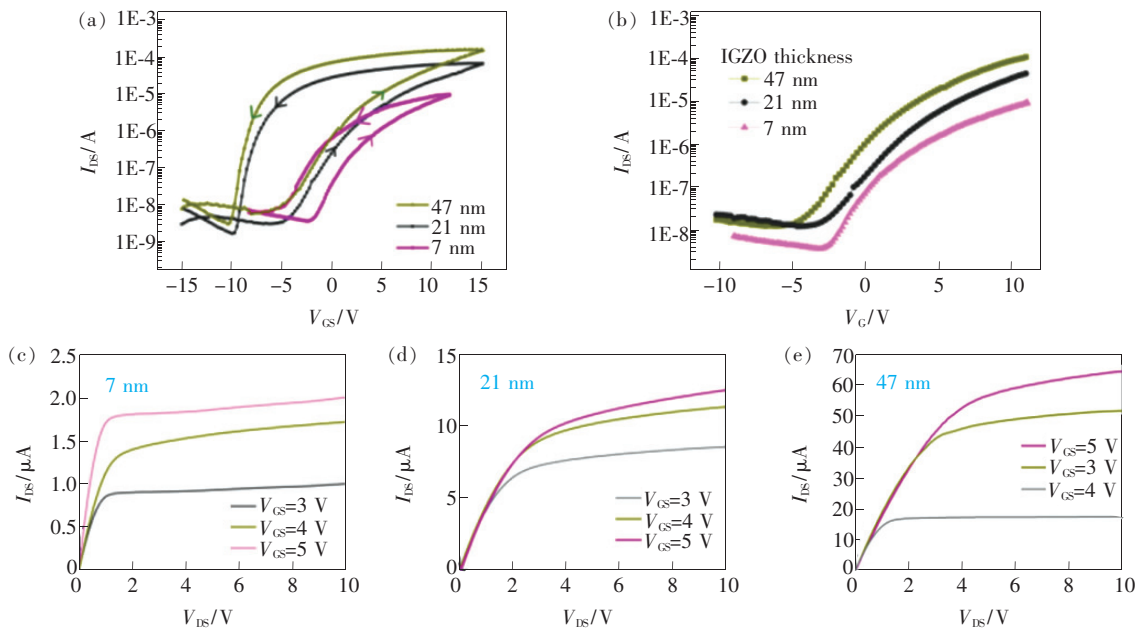


图 2 不同沟道厚度下器件的双扫转移曲线(a)、转移特性曲线(b)、输出曲线((c) ~ (e))。

Fig. 2 Dual sweep transfer curves(a), $I_{\text{DS}}-V_{\text{GS}}$ characteristic curves(b), output curves((c) - (e)) of the synaptic transistor under different IGZO thickness.

合。因此,在超薄半导体层薄膜的情况下,突触晶体管可以达到更好的关闭状态,从而提高栅极调控能力。

表 1 不同 IGZO 厚度下突触晶体管电学特性

Tab. 1 Electrical characteristics of the synaptic transistor under different IGZO thickness

厚度/ nm	阈值电压 V_{TH}/V	开关比 I_{ON}/I_{OFF}	双扫窗口/ V
47	-4.3	10^5	8.54
21	-2.7	10^4	7.81
7	-0.8	10^4	4.20

本文利用原子力显微镜 (AFM) 测量了薄膜的表面粗糙度和厚度。图 3 (a) 所示是浓度为 0.05 mol/L 的半导体层 AFM 图像的表面粗糙度,其表面均方根粗糙度为 0.845 nm,表明提拉法制备的薄膜具有良好的平整度,因而保证了半导体薄膜良好的电性能。0.05 mol/L 浓度下对应的有源层的厚度如图 3 (b) 所示,有源层厚度随着溶液浓度的降低而减小,其厚度为 7 nm。

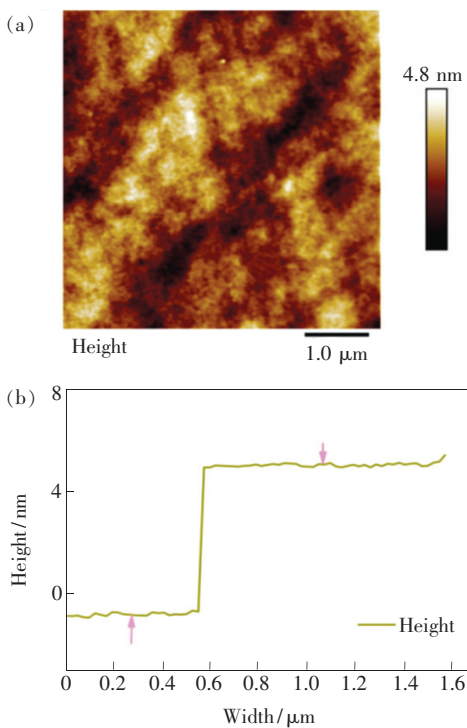


图 3 (a) 浓度为 0.05 mol/L 时半导体层 AFM 图像的表面粗糙度; (b) 其对应的半导体薄膜厚度图。

Fig. 3 (a) AFM morphology of the IGZO film under the concentration of 0.05 mol/L. (b) Height image of IGZO film corresponding to (a).

3.2 超薄金属氧化物突触晶体管的突触性能

图 4 (a) 为生物神经中突触及其信号传递示意图,突触主要由突触前膜、突触间隙和突触后膜三部分组成。突触权重的精确调节是通过调节突触间隙中 Ca^{2+} 、 Na^+ 、 K^+ 等神经递质离子的浓度来实现的。本文中,栅极诱导的绝缘层氧空位离子的运动在模拟突触特征中起着重要作用。由于突触是神经网络处理信息和存储数据的基本单元,因此,模拟生物突触的功能是神经形态计算不可缺少的一部分。在突触传递事件中,突触前膜的刺激会引起突触后膜电信号的变化,这被称为兴奋性后突触电流 (Excitatory post synaptic current, EPSC) 或抑制性突触后电流 (Inhibitory post

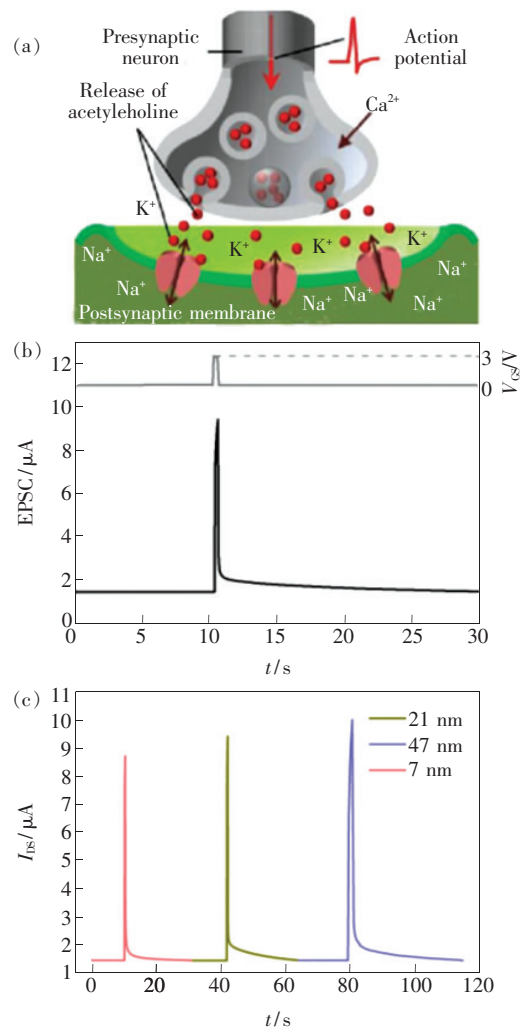


图 4 (a) 生物神经突触示意图; (b) 突触晶体管典型的 EPSC 响应; (c) 不同厚度有源层的突触晶体管 EPSC 响应。

Fig. 4 (a) Schematic diagram of the biological synapse. (b) EPSC response of the synaptic transistor. (c) EPSC response under different IGZO thickness.

synaptic current, IPSC)^[19-21]。图 4(b) 所示为本文制备的突触晶体管典型的 EPSC 响应, 其中, 栅脉冲电压幅度为 3 V, 脉冲宽度为 150 ms。突触前脉冲结束时, EPSC 信号高达 9.5 μA , 然后衰减到 1.7 μA 。EPSC 响应是由于固态电解质 Ta_2O_5 的离子耦合效应导致的。当在栅极施加一个突触前脉冲时, 由于静电调制效应, 离子在半导体层/栅介质层界面处被触发, 随后在有源层 IGZO 沟道中诱发 EPSC; 而 EPSC 的缓慢衰减则是由于突触前脉冲结束后带正电的氧空位离子和带负电的氧离子的缓慢复合过程导致的。图 4(c) 为不同厚度的有源层的突触晶体管的 EPSC 响应 (栅脉冲电压幅度为 3 V, 脉冲宽度为 150 ms), 如图所示, 随着半导体层厚度从 47 nm 减小到 7 nm, EPSC 的峰值电流从 10 μA 降到 8.6 μA 以下。这是因为随着半导体薄膜厚度的减小, 在相同脉冲电压下可诱发的载流子数量也随之减少, 从而导致电流下降。

短程可塑性 (Short term plasticity, STP) 是学习和信息加工的重要形式。双脉冲易化 (Paired pulse facilitation, PPF) 作为 STP 的一种典型形式, 由两个连续的突触前脉冲触发, 其中第二个脉冲引起的 EPSC 响应高于第一个脉冲引起的 EPSC 响应。如图 5 所示, 对超薄金属氧化物突触晶体管施加两个连续的突触前脉冲 (3 V, 30 ms), 两个脉冲的间隔时间为 150 ms, 可以观察到两个 EPSC 峰值, EPSC 响应 (A_2) 为 4.5 μA , 明显大于第一次突触前脉冲引起的 EPSC (A_1) 响应 4.1 μA 。这是由于第二次突触前脉冲诱发了更多的可移动的载流子, 这些载流子位于 IGZO/ Ta_2O_5 的界面附近, 使得后突触电流随着第二次突触前脉冲的增加而增加。

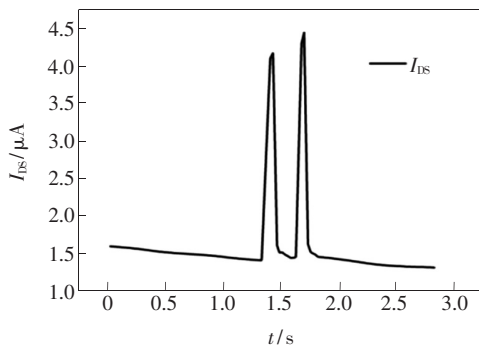


图 5 突触晶体管 PPF 响应

Fig. 5 PPF response of the synaptic transistor

突触的长程可塑性 (Long term plasticity, LTP) 是指在外界刺激下突触权重的变化能够保持相对较长的时间, LTP 被广泛认为是学习过程的关键和形成大脑记忆的基础^[22-25]。本文探讨了超薄金属氧化物突触晶体管的长程可塑性, 并研究了半导体薄膜厚度对长程可塑性 LTP 的影响。图 6(a) 所示为在 Ta_2O_5 /IGZO 突触晶体管上施加 30 个突触前脉冲 (3 V, 30 ms) 后的 EPSC 响应。第 30 个 EPSC (A_{30}) 显著大于第一个 EPSC (A_1)。刺激完成后, EPSC 电流衰减缓慢, 并在很长一段时间内保持稳定, 这表明从短程记忆向长

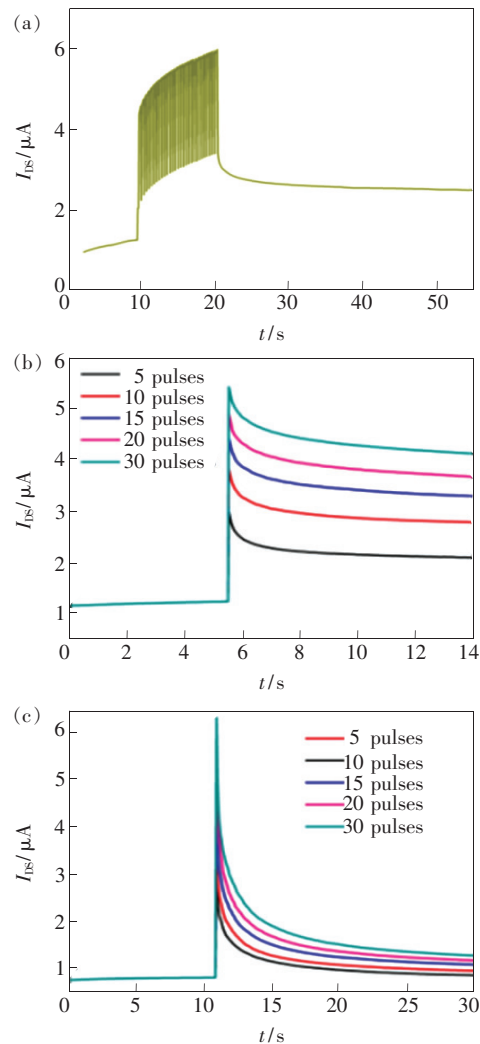


图 6 (a) 施加 30 个突触前脉冲 (3 V, 30 ms) 的突触晶体管的 EPSC 响应; (b) 超薄有源层突触晶体管不同脉冲数下的 EPSC 相应; (c) 厚的有源层突触晶体管不同脉冲数下的 EPSC 相应。

Fig. 6 (a) EPSC response of the synaptic transistor by 30 presynaptic spikes. EPSC response of the synaptic transistor under different pulse numbers at ultrathin condition (b) and at thick condition (c).

程记忆的转变。图 6(b)所示为超薄有源层(7 nm)情况下学习记忆行为的仿真,对器件所施加的脉冲次数从 5 增加至 30,即意味着学习次数的增加。从图中可以看到,随着脉冲数的增加,EPSC 峰值和记忆水平(稳态衰减电流)明显增强,表明增加脉冲刺激可有效提高超薄突触器件的记忆水平。然而,与超薄突触晶体管相比,将厚的 IGZO 薄膜(47 nm)作为沟道层的器件(图 6(c))其记忆水平并没有明显的变化,衰减后的电流并没有随脉冲数的增加而有明显的增加,这与薄 IGZO 的情况形成鲜明对比。因此,有源层的厚度对突触晶体管的 LTP 有调节作用,进而调节突触器件的记忆水平。

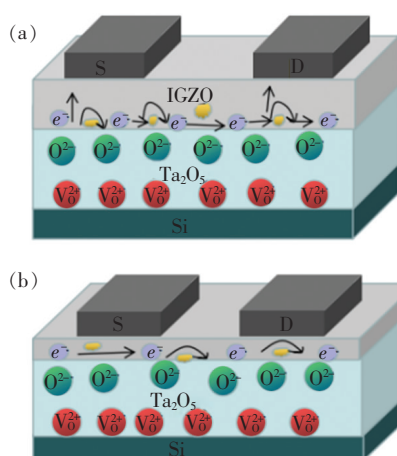


图 7 $\text{Ta}_2\text{O}_5/\text{IGZO}$ 基突触晶体管在半导体薄膜厚度为普通(a)、超薄(b)情况下的器件机理图。

Fig. 7 Mechanism of $\text{Ta}_2\text{O}_5/\text{IGZO}$ based synaptic transistor under normal(a), ultra-thin(b) condition.

上述结果清楚地表明, $\text{Ta}_2\text{O}_5/\text{IGZO}$ 基突触晶体管的突触行为明显受到有源层薄膜厚度的影响。图 7 为本文制备的突触晶体管在有源层厚度为 47 nm(图 7(a))和 7 nm(图 7(b))时器件的机理图。当栅电极施加正电压时,绝缘层中带负电的氧离子被吸引到 $\text{Si}/\text{Ta}_2\text{O}_5$ 界面,带正电的离子氧空位被排斥到 $\text{Ta}_2\text{O}_5/\text{IGZO}$ 界面上,因而导致在绝缘层/半导体层界面氧空位的积累。本文认为,在超薄半导体薄膜的情况下,绝缘层与半导体层之间的缺陷带来的影响会更为突出,从而导致栅极对晶体管更加有效的调控。并且,载流子输运路径减少和载流子活动范围受限都有助于提高保留时间,从而提升突触晶体管的长程特性。

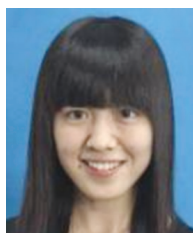
4 结论和展望

本文制备了具有超薄 IGZO 有源层的高性能金属氧化物突触晶体管。通过简单的提拉法,成功地将有源层薄膜的厚度调至 7 nm 左右。在超薄金属氧化物突触晶体管上成功地模拟了 EPSC、PPF、LTP 等重要突触行为。更重要的是,本文证明了通过减小有源层的厚度可以显著提高突触器件的长程特性。在超薄有源层的情况下,缺陷对突触晶体管特性的影响更为显著,从而导致栅极对晶体管更加有效的调控,并增强了突触晶体管的保持能力。本文的工作为突触晶体管的尺寸缩放提供了一种新的方法,同时也为提高突触晶体管的性能提供了一种有效的途径。

参 考 文 献:

- [1] HARRIS J J, JOLIVET R, ATTWELL D. Synaptic energy use and supply [J]. *Neuron*, 2012, 75(5):762-777.
- [2] WANG Z Y, WANG L Y, NAGAI M, et al.. Nanoionics-enabled memristive devices: strategies and materials for neuromorphic applications [J]. *Adv. Electron. Mater.*, 2017, 3(7):1600510.
- [3] 杨文字, 张国成, 崔宇, 等. 喷墨打印金属氧化物异质结晶体管 [J]. *发光学报*, 2019, 40(4):497-503.
YANG W Y, ZHANG G C, CUI Y, et al.. Inkjet Printed metal oxide heterojunction thin-film transistor [J]. *Chin. J. Lumin.*, 2019, 40(4):497-503. (in Chinese)
- [4] PAUL T, AHMED T, TIWARI K K, et al.. A high-performance MoS_2 synaptic device with floating gate engineering for neuromorphic computing [J]. *2D Mater.*, 2019, 6(4):045008.
- [5] YANG J T, GE C, DU J Y, et al.. Artificial synapses emulated by an electrolyte-gated tungsten-oxide transistor [J]. *Adv. Mater.*, 2018, 30(34):1801548-1-10.
- [6] MAO J Y, HU L, ZHANG S R, et al.. Artificial synapses emulated through a light mediated organic-inorganic hybrid transistor [J]. *J. Mater. Chem. C*, 2019, 7(1):48-59.
- [7] WAN C J, LIU Y H, ZHU L Q, et al.. Short-term synaptic plasticity regulation in solution-gated indium-gallium-zinc-oxide electric-double-layer transistors [J]. *ACS Appl. Mater. Interfaces*, 2016, 8(15):9762-9768.

- [8] ZHOU Y H, LI J, YANG Y H, *et al.*. Artificial synapse emulated through fully aqueous solution-processed low-voltage In_2O_3 thin-film transistor with Gd_2O_3 solid electrolyte [J]. *ACS Appl. Mater. Interfaces*, 2020, 12(1):980-988.
- [9] LI M Y, SU S K, WONG, H S P, *et al.*. How 2D semiconductors could extend Moore's law [J]. *Nature*, 2019, 567(7747):169-170.
- [10] NOVOSELOV K S, JIANG D, SCHEDIN F, *et al.*. Two-dimensional atomic crystals [J]. *Proc. Natl. Acad. Sci. USA*, 2005, 102(30):10451-10453.
- [11] 杨祥, 徐兵, 周畅, 等. 退火温度对新型有源层 WZTO 薄膜晶体管性能的影响 [J]. *发光学报*, 2019, 40(2):209-214.
YANG X, XU B, ZHOU C, *et al.*. Influence of annealing temperatures on properties of novel W-Zn-Sn-O thin film transistor [J]. *Chin. J. Lumin.*, 2019, 40(2):209-214. (in Chinese)
- [12] TIAN H, MI W T, WANG X F, *et al.*. Graphene dynamic synapse with modulatable plasticity [J]. *Nano Lett.*, 2015, 15(12):8013-8019.
- [13] ARNOLD A J, RAZAVIEH A, NASR J R, *et al.*. Mimicking neurotransmitter release in chemical synapses *via* hysteresis engineering in MoS_2 transistors [J]. *ACS Nano*, 2017, 11(3):3110-3118.
- [14] 张浩, 李俊, 赵婷婷, 等. 基于超薄 Al_2O_3 栅绝缘层的低工作电压 IGZO 薄膜晶体管及其在共源极放大器中的应用 [J]. *发光学报*, 2020, 41(4):451-460.
ZHANG H, LI J, ZHAO T T, *et al.*. Low operating voltage IGZO thin-film transistor based on ultrathin Al_2O_3 gate insulator and its application in common-source amplifier [J]. *Chin. J. Lumin.*, 2020, 41(4):451-460. (in Chinese)
- [15] SEO D G, LEE Y, GO G T, *et al.*. Versatile neuromorphic electronics by modulating synaptic decay of single organic synaptic transistor: from artificial neural networks to neuro-prosthetics [J]. *Nano Energy*, 2019, 65:104035-1-10.
- [16] REN Y, YANG J Q, ZHOU L, *et al.*. Gate-tunable synaptic plasticity through controlled polarity of charge trapping in fullerene composites [J]. *Adv. Funct. Mater.*, 2018, 28(50):1805599.
- [17] YAO Z F, ZHENG Y Q, LI Q Y, *et al.*. Wafer-scale fabrication of high-performance n-type polymer monolayer transistors using a multi-level self-assembly strategy [J]. *Adv. Mater.*, 2019, 31(7):e1806747.
- [18] FIORI G, BONACCORSO F, IANNACCONI G, *et al.*. Electronics based on two-dimensional materials [J]. *Nat. Nanotechnol.*, 2014, 9(10):768-779.
- [19] CHEN J W, LI E L, YAN Y J, *et al.*. Flexible metal oxide synaptic transistors using biomass-based hydrogel as gate dielectric [J]. *J. Phys. D: Appl. Phys.*, 2019, 52(48):484002.
- [20] YANG Q, LV D X, HUANG J S, *et al.*. Modulation of the plasticity of an all-metal oxide synaptic transistor *via* laser irradiation [J]. *Nanotechnology*, 2020, 31(21):215202.
- [21] LI S M, TIAN M C, GAO Q G, *et al.*. Nanometre-thin indium tin oxide for advanced high-performance electronics [J]. *Nat. Mater.*, 2019, 18(10):1091-1097.
- [22] BEOM K, YANG P, PARK D, *et al.*. Single- and double-gate synaptic transistor with TaO_x gate insulator and IGZO channel layer [J]. *Nanotechnology*, 2019, 30(2):025203.
- [23] YANG Y H, YANG S S, CHOU K S. Characteristic enhancement of solution-processed In-Ga-Zn oxide thin-film transistors by laser annealing [J]. *IEEE Electron Device Lett.*, 2010, 31(9):969-971.
- [24] FIORAVANTE D, REGEHR W G. Short-term forms of presynaptic plasticity [J]. *Curr. Opin. Neurobiol.*, 2011, 21(2):269-274.
- [25] GUO L Q, WAN Q, WAN C J, *et al.*. Short-Term memory to long-term memory transition mimicked in IZO homojunction synaptic transistors [J]. *IEEE Electron Device Lett.*, 2013, 34(12):1581-1583.



杨倩(1988 -), 女, 山西太原人, 博士研究生, 讲师, 2013 年于福州大学获得硕士学位, 主要从事薄膜晶体管的研究。

E-mail: yqian_0116@163.com



杜世远(1988 -), 男, 福建泉州人, 硕士, 讲师, 2013 年于福州大学获得硕士学位, 主要从事半导体器件及医学影像设备的研究。

E-mail: 282323559@qq.com