

文章编号: 1000-7032(2015)02-0213-06

双有源层结构掺硅氧化锌薄膜晶体管的电特性

莫淑芬¹, 刘玉荣^{1,2*}, 刘 远³

(1. 华南理工大学 电子与信息学院, 广东 广州 510640;

2. 华南理工大学 国家移动超声探测工程技术研究中心, 广东 广州 510640;

3. 工业和信息化部电子第五研究所 电子元器件可靠性物理及其应用技术国家重点实验室, 广东 广州 510610)

摘要: 为降低氧化锌薄膜晶体管(ZnO-TFT)的关态电流(I_{off}), 提高开关电流比($I_{\text{on}}/I_{\text{off}}$), 采用磁控溅射法制备掺硅氧化锌薄膜晶体管(SZO-TFT)和SZO/ZnO 双层有源层结构的TFT器件, 研究了Si含量对SZO薄膜透光性和SZO-TFT电性能的影响, 比较了单层与双层有源层结构TFT器件的电特性。与ZnO-TFT相比, SZO-TFT的 I_{off} 低2个数量级, 最低达 1.5×10^{-12} A; $I_{\text{on}}/I_{\text{off}}$ 高两个数量级, 最高达 7.97×10^6 。而SZO/ZnO 双层有源层结构的TFT器件可在不降低载流子迁移率的情况下, $I_{\text{on}}/I_{\text{off}}$ 比ZnO-TFT提高近两个数量级, 有效改善了器件的整体性能。

关键词: 薄膜晶体管; 氧化锌; 硅掺杂; 双层有源层

中图分类号: TN321+.5; O472+.4

文献标识码: A

DOI: 10.3788/fjxb20153602.0213

Electrical Properties of Si-doped ZnO-based Thin-film Transistor with Dual-active-layer Structure

MO Shu-fen¹, LIU Yu-rong^{1,2*}, LIU Yuan³

(1. School of Electronic and Information Engineering, South China University of Technology, Guangzhou 510640, China;

2. National Engineering Technology Research Center for Mobile Ultrasonic Detection, South China University of Technology, Guangzhou 510640, China;

3. Science and Technology on Reliability Physics and Application of Electronic Component Laboratory, CEPREI, Guangzhou 510610, China)

* Corresponding Author, E-mail: phlyr@scut.edu.cn.

Abstract: In order to reduce the off-state leakage current and increase the on/off current ratio in ZnO thin-film transistor (ZnO-TFT), Si-doped ZnO thin-film transistors (SZO-TFTs) and TFT with SZO/ZnO acted as dual-active-layer were fabricated by magnetron sputtering method. Effects of silicon concentration on optical transmittance of Si-doped ZnO thin film and electrical properties of SZO-TFT were investigated. Moreover, the electrical characteristics of the TFT with SZO/ZnO acted as dual-active-layer were compared with those of the TFTs with ZnO and Si-doped ZnO acted as single-active-layer. The experimental results indicated that, compared with undoped ZnO-TFT, the off-state leakage current of SZO-TFT reduces by more than two orders of magnitude, down to 1.5×10^{-12} A, and the on/off current ratio increases by more than two orders of magnitude with a maximum value up to 7.97×10^6 ; The SZO/ZnO dual-active-layer architecture used in the ZnO-based TFT could increase the on/off current ratio by about two orders of magnitude with no reduction in carrier mobility, and thus optimize the performance of the ZnO-based TFT.

Key words: thin film transistor; zinc oxide; silicon doping; dual-active layer

收稿日期: 2014-11-21; 修订日期: 2014-12-15

基金项目: 国家自然科学基金(61076113)资助项目

1 引 言

随着信息技术的高速发展,以有源矩阵液晶显示器(AMLCD)和有源矩阵有机发光二极管显示器(AMOLED)为代表的平板显示技术得到了迅速发展。薄膜晶体管(TFT)是有源平板显示技术的关键器件^[1]。与传统的非晶硅薄膜晶体管(a-Si TFT)和多晶硅薄膜晶体管(p-Si TFT)相比,氧化锌薄膜晶体管(ZnO-TFT)由于具有载流子迁移率相对较高^[2-4]、对可见光的透明度大于80%^[5]以及低温工艺等优势被认为是最有希望的下一代 TFT 技术。近年来,为进一步提高 ZnO-TFT 的电特性和稳定性,研究者们通常在 ZnO 有源层中适当掺入少量杂质(Al、Sn、In、Ga、Mg、Hf 等)。Peng 等^[6]以电解法制备的 Al₂O₃ 作为栅介质层,掺 In、Ga 的 ZnO 薄膜作为有源层,制备出 IGZO-TFT,其载流子迁移率达 28 cm²/(V·s),开关电流比接近 10⁷。Yang 等^[7]将锆(Zr)掺入 SnZnO 有源层制备出 TFT 器件,有效抑制了栅偏压应力作用下阈值电压的漂移,改善了器件在光照下负栅偏压应力的稳定性。Cho 等^[8]采用磁控溅射法制备了有源层为 Al-Zn-Sn-O 薄膜的 TFT,其载流子迁移率和开关电流比分别为 10.3 cm²/(V·s)和 10⁹。Wu 等^[9]采用 Si-Zn-Sn-O 薄膜为有源层制备的 TFT 器件的迁移率约为 1 cm²/(V·s),开关电流比达 10⁷,且该器件在自然空气下长期存放具有较好的稳定性。另外,采用双有源层结构制备 TFT 器件也成为实现高性能稳定的 ZnO 基 TFT 器件的有效途径。Remashan 等^[10]采用 MOCVD 技术在 ZnO 薄膜有源层与栅介质层之间沉积一层超薄的 MgZnO 薄膜来提高 ZnO-TFT 的器件性能,其载流子迁移率达 9.1 cm²/(V·s),开关电流比高达 2.3 × 10⁸。Lee 等^[11]在 InZnO 有源层薄膜中掺入 Hf,通过调节 Hf 的含量制备出具有双有源层结构的 TFT 器件,器件性能和稳定性得到一定改善。Kim 等^[12]采用溶液加工法制备出 Sn-Zn-O/In-Ga-Zn-O 双有源层结构 TFT 器件,与单有源层结构器件相比,器件性能和稳定性得到明显提高。

本文为有效降低 ZnO-TFT 的关态电流,提高其开关电流比,采用磁控溅射法在 ZnO 有源层薄膜中掺入 Si,制备了具有单层和双层有源层结构的 TFT 器件,研究了 Si 含量对 SZO-TFT 电特性的

影响,对单有源层和双有源层结构 TFT 的电特性进行了比较研究。

2 实 验

实验制备了 3 种不同结构的底栅顶接触型 TFT 器件,其结构剖面图如图 1 所示。3 种器件均采用高掺杂的 n 型硅片为衬底并作为栅极(G),以干氧热氧化法在 1 000 °C 下生长的 150 nm SiO₂ 作为栅介质层,用磁控溅射法沉积有源层,最后用真空蒸镀法制备 Al 源(S)、漏(D)电极。半导体有源层薄膜采用沈阳科技仪器有限公司的 GP-560b 型磁控溅射沉积系统制备,溅射前反应室的真空度皆为 5 × 10⁻⁴ Pa,溅射时的气压皆为 1 Pa。掺 Si 的 ZnO(SZO)薄膜采用两靶共溅法获得,靶材为高纯 ZnO(99.99%)和高纯 Si(99.99%),基底温度为 150 °C,氩氧比为 30:10 (cm³/min)。对于 ZnO 靶,采用 30 W 直流溅射;对于 Si 靶,采用射频溅射,薄膜中 Si 的含量通过调节射频功率实现,以 60,30,20 W 功率得到 3 种不同 Si 含量的 SZO 薄膜。对于双层有源层结构的 TFT 器件,SZO 薄膜选用 20 W 功率射频溅射,ZnO 薄膜以 30 W 功率直流溅射,基底温度设定为 350 °C,氩氧流量比为 30:30 (cm³/min)。有源层的厚度由溅射时间调控。

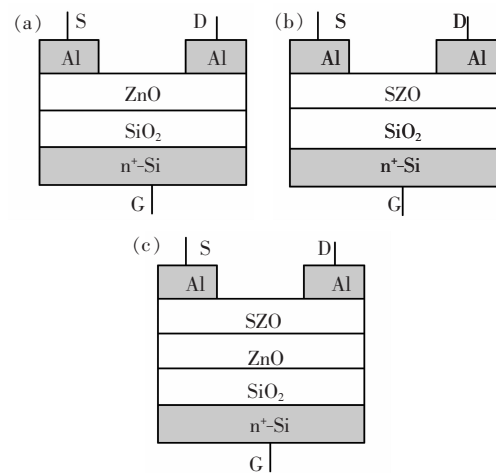


图 1 TFT 器件结构图。(a) ZnO-TFT; (b) SZO-TFT; (c) SZO/ZnO-TFT。

Fig. 1 Cross-section views of TFT devices. (a) ZnO-TFT. (b) SZO-TFT. (c) SZO/ZnO-TFT.

SiO₂ 栅介质层和有源层厚度采用德国 Ocean Optics 公司的光反射薄膜测厚仪测量得到。对于单层有源层结构器件,ZnO 和 SZO 薄膜厚度分别

为 30 nm 和 31 nm;对于双有源层结构器件, SZO 和 ZnO 薄膜厚度均为 15 nm。有源层在可见光范围的透光性采用 Agilent Cary 60 紫外-可见光光度计进行测量。SZO 薄膜中 Si 的含量由德国 Bruker 公司 D8 Advance XPS 测试仪测试并分析得到, 溅射功率为 60, 30, 20 W 所对应 Si 的摩尔分数分别为 7.9%、3.8%、2.3%。TFT 器件的电特性采用 Agilent 4156C 半导体参数精密测试仪和 CASCAD 手动探针台组成的测试系统进行测试。

3 结果与讨论

3.1 掺 Si 的 ZnO 薄膜的透光性

为了分析不同 Si 含量 SZO 薄膜在可见光范围内的透光性, 我们在沉积 TFT 有源层时将 SiO₂/Si 基片和玻璃基片同时放置在溅射基底上, 生长有 ZnO 或掺硅 ZnO 薄膜的玻璃基片用于紫外-可见光谱测试。图 2 给出了不同 Si 摩尔分数的 SZO 薄膜在紫外-可见光范围内的透射光谱。3 种 SZO 薄膜在可见光范围(约 400 ~ 800 nm)的透过率都高于 85%, 平均透光率约为 90%, 明显高于未掺杂的 ZnO 薄膜。另外, 从图 2 还发现, Si 的掺入使 ZnO 薄膜的吸收带边明显蓝移, 且随着 Si 含量的增加, 蓝移也越来越大, 表明掺 Si 的 ZnO 薄膜的能隙宽度 (E_g) 随着硅含量的增加而

变宽。根据 ZnO 薄膜和 SZO 薄膜的吸收带边的长波限(λ), 由 $E_g = 1.24/\lambda$ 可估算出它们的能隙宽度大小, 如图 2 中的插图所示。对于未掺 Si 的 ZnO 薄膜, 能隙宽度为 3.29 eV; 而对于掺 Si 摩尔分数为 7.9% 的 SZO 薄膜, 能隙宽度增加至 3.86 eV。SZO 薄膜在可见光范围内透光率的增加正是由于 ZnO 薄膜中 Si 的掺入引起能隙变宽所致。

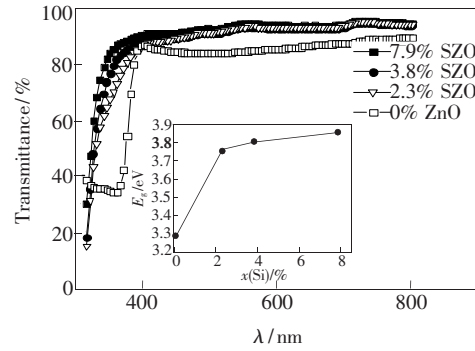


图 2 不同 Si 摩尔分数的 ZnO 薄膜的紫外-可见光透射谱
Fig. 2 Optical transmission spectra of ZnO thin films with different Si mole fraction

3.2 掺 Si 的 ZnO-TFT 的电特性

图 3 给出了掺 Si 摩尔分数为 0、7.9%、3.8%、2.3% 的 SZO-TFT 的输出特性曲线。可以看出, 由于沟道电子是在正栅偏压 (V_{GS}) 下产生的, 因此未掺杂和掺 Si 的 TFT 皆为 n 沟道增强型

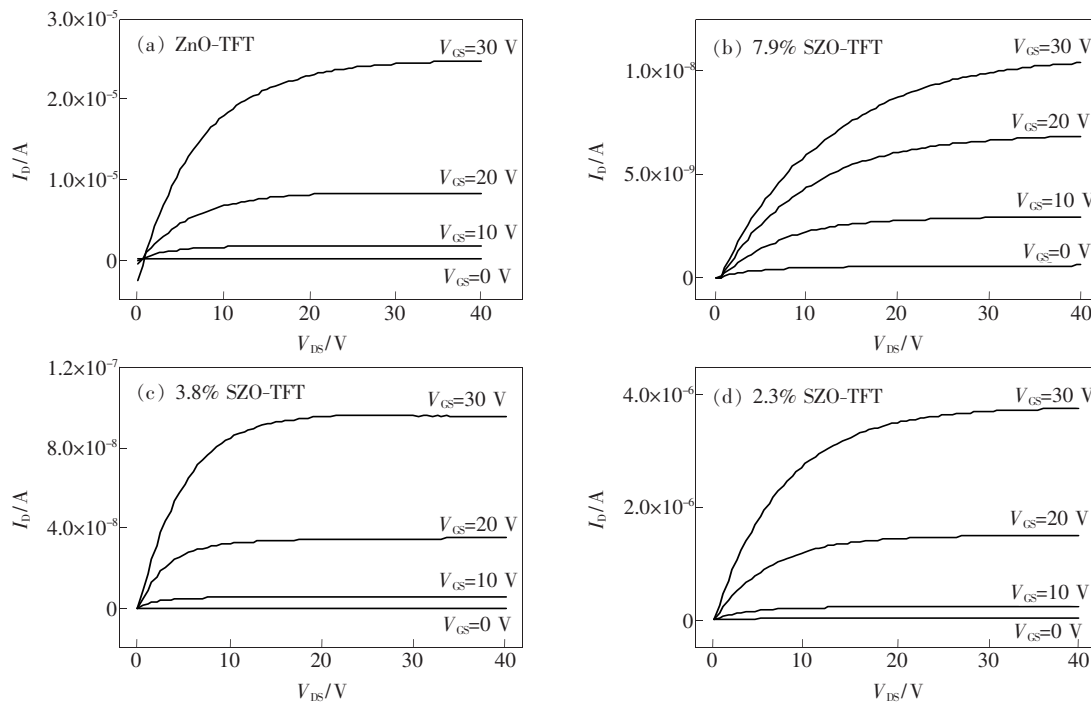


图 3 不同 Si 摩尔分数的 SZO-TFT 的输出特性曲线。(a) 0%; (b) 7.9%; (c) 3.8%; (d) 2.3%。
Fig. 3 Output characteristics of SZO-TFTs with different Si mole fraction. (a) 0%. (b) 7.9%. (c) 3.8%. (d) 2.3%.

场效应器件,且 4 种样品皆呈现出明显的饱和行为。在相同的栅偏压($V_{GS} = 30$ V)和漏偏压($V_{DS} = 30$ V)下,未掺 Si 的器件具有较大的饱和漏电流($I_D = 2.45 \times 10^{-5}$ A),而掺 Si 的 TFT 器件呈现出相对较低的饱和漏电流,且随着 SZO 薄膜中 Si 含量的增大而显著减小。当薄膜中的 Si 摩尔分数为 2.3% 时,TFT 器件的饱和漏电流相对较高,达到了 3.8×10^{-6} A。

图 4 为不同 Si 含量的 SZO-TFT 的转移特性曲线。由图 4 可知,所有样品皆呈现出明显的开关特性,掺 Si 的 SZO-TFT 的关态电流明显低于未掺 Si 的 ZnO-TFT,且栅电压向负方向增加,关态电流并未出现陡峭现象。对于 TFT 而言,处于饱

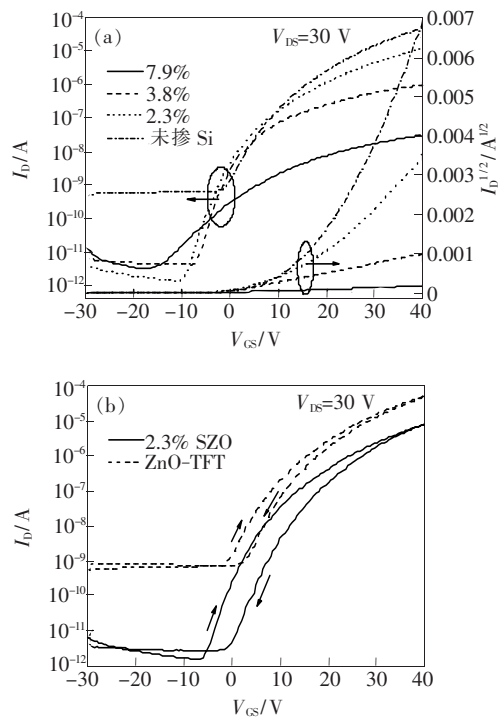


图 4 (a) 不同 Si 摩尔分数的 SZO-TFT 的转移特性曲线;(b) 2.3% SZO-TFT 和 ZnO-TFT 的转移特性迟滞曲线。

Fig. 4 (a) Transfer characteristics of SZO-TFTs with different Si mole fraction. (b) Hysteresis curves of transfer characteristics of 2.3% SZO-TFT and ZnO-TFT.

表 1 SZO-TFT 的主要性能参数

Table 1 Main performance parameters of SZO-TFTs

器件	I_{off}/A	I_{on}/I_{off}	V_{th}/V	$SS/(V \cdot Dec^{-1})$	$\mu/(cm^2 \cdot V^{-1} \cdot s^{-1})$
ZnO-TFT	5.5×10^{-10}	8.69×10^4	17.5	4	0.88
7.9% SZO-TFT	3.40×10^{-12}	9.39×10^3	2	10	1.03×10^{-4}
3.8% SZO-TFT	4.53×10^{-12}	2.10×10^5	1.5	4	3.50×10^{-3}
2.3% SZO-TFT	1.49×10^{-12}	7.97×10^6	12	3	0.10

和状态时的饱和漏极电流 $I_{D,sat}$ 通常可表示为

$$I_{D,sat} = \frac{W}{2L} \mu C_i (V_{GS} - V_{th})^2, (V_{DS} > V_{GS} - V_{th}), \quad (1)$$

式中, C_i 为单位面积的栅介质层电容, μ 为 TFT 器件处于饱和状态时的有效场效应迁移率, V_{th} 为阈值电压。由式(1)可知, μ 可从 $I_D^{1/2}$ 与 V_{GS} 的变化关系求得:

$$\mu = \frac{2Lk^2}{WC_i}, \quad (2)$$

V_{th} 为 $I_D^{1/2}$ 与 V_{GS} 关系曲线中线性区对应直线在 V_{GS} 坐标上的截距。开关电流比 (I_{on}/I_{off}) 通常定义为在测量范围内最高的漏极电流与最低的漏极电流之比。式(2)中 k 为 $I_D^{1/2}$ 与 V_{GS} 关系曲线中线性区的斜率。

利用式(1)和(2)可从图 4(a) 提取出器件的主要性能参数,如表 1 所示。相比于 ZnO-TFT,在 ZnO 有源层薄膜中掺入一定量的 Si 可使 SZO-TFT 关态电流下降超过两个数量级,从未掺杂的 5.5×10^{-10} A 下降至 1.49×10^{-12} A。Si 摩尔分数为 2.3% 的 SZO-TFT 的开关电流比高达 7.97×10^6 ,比未掺杂的 ZnO-TFT 提高了近两个数量级。另外, Si 掺杂还有效降低了阈值电压。然而, Si 掺杂也明显降低了载流子迁移率。为了进一步揭示掺 Si 引起 TFT 器件电特性变化的原因,图 4(b) 给出了 ZnO-TFT 和 2.3% SZO-TFT 的转移特性迟滞曲线。对于 ZnO-TFT 器件,迟滞电压为 3.4 V;而对于 SZO-TFT 器件,迟滞电压增大至 5.2 V。这说明在 SZO-TFT 器件中,栅介质层与半导体层之间的界面缺陷态高于 ZnO-TFT 器件,从而导致载流子迁移率减小。另一方面,掺 Si 引起 ZnO 薄膜的能隙明显变大,使能带相对变窄,引起导带电子的有效质量增加,因此导致载流子迁移率减小。另外,能隙宽度的增大使价带电子通过热激发更难跃迁至导带而形成导带电子, SZO 薄膜中载流子浓度有所减小,电阻率增加,从而导致关态电流和阈值电压减小。

3.3 SZO/ZnO 双有源层结构 TFT 的电特性

为了解决硅掺杂导致的饱和电流减小、载流子迁移率降低以及迟滞增大的问题,我们制备了一种双层有源层结构的 TFT 器件 (SZO/ZnO-TFT),即在栅绝缘层上溅射一层 ZnO 薄膜作为第一层有源层,再在 ZnO 薄膜之上溅射一层 SZO 薄膜作为第二层有源层,其器件结构图如图 1(c) 所示。图 5 给出了 SZO/ZnO-TFT 器件的输出特性曲线,由图 5 可知,该器件的输出特性呈现出优异的饱和行为,在相同的栅偏压和漏偏压下,其饱和漏电流明显高于单层硅掺杂 SZO-TFT(图 3(d))。

图 6 为单层和双层有源层结构 TFT 器件的转移特性和迟滞特性曲线。从图 6(a)中可以提取出各器件的主要性能参数,如表 2 所示。从图 6(a)和表 2 可以看出,在 3 种结构的 TFT 器件中,单层 2.3% SZO-TFT 器件虽具有最低的开态电流和最高的开关电流比,但载流子迁移率太小;ZnO-TFT 呈现出相对较高的开态电流和较低的开关电流比;而由 SZO/ZnO 组成的双有源层结构 TFT 器件,尽管开态电流比单层掺 Si 2.3% 的 SZO-TFT 高近一个数量级,但载流子迁移率却提高了一个数量级,开态电流也提高了一个数量级,因此开关电流比相对较高,达到了 4×10^6 。从图 6(b)可以看出,ZnO-TFT 与 SZO/ZnO-TFT 的迟滞电压接近,且都小于 2.3% SZO-TFT,说明前者界面陷阱态比后者要低。ZnO-TFT 与 SZO/ZnO-TFT 的迟滞电压相当,是因为这两种 TFT 器件中的栅介质层与半导体层之间界面皆为 ZnO/SiO₂ 构成,且 ZnO 和 SiO₂ 薄膜的生长工艺完全相同。与 ZnO-TFT 相比,SZO/ZnO-TFT 在不降低载流子迁移率($\sim 1 \text{ cm}^2/(\text{V} \cdot \text{s})$)的情况下,开态电流明显降低,开关电流比明显升高。这是因为 SZO/ZnO 薄膜之间的能隙宽度和载流子浓度不同,导致它们的费米能级与导带底之间的电子激活能不同,在 SZO/ZnO 薄膜界面处形成一个电子势垒,从而抑制了开态电流^[13]。另一方面,对于 SZO/ZnO 双有源层结构 TFT,因 Si⁴⁺ 的离子势高于 Zn²⁺ 的离子势,顶部 SZO 薄膜中的氧空位减小,电阻率

升高,结构更加致密^[14]。因此,高电阻率的 SZO 薄膜层可阻止空气中的氧和水汽侵蚀底部 ZnO 沟

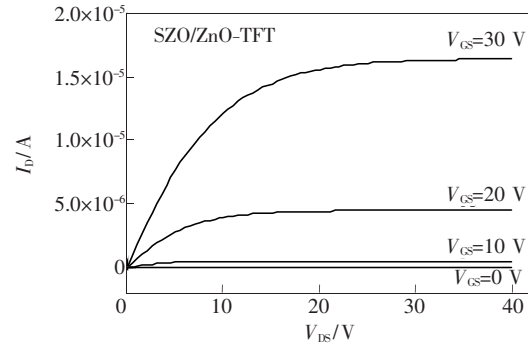


图 5 SZO/ZnO 双有源层结构 TFT 的输出特性曲线
Fig. 5 Output characteristics of TFT with SZO/ZnO acted as dual active layer

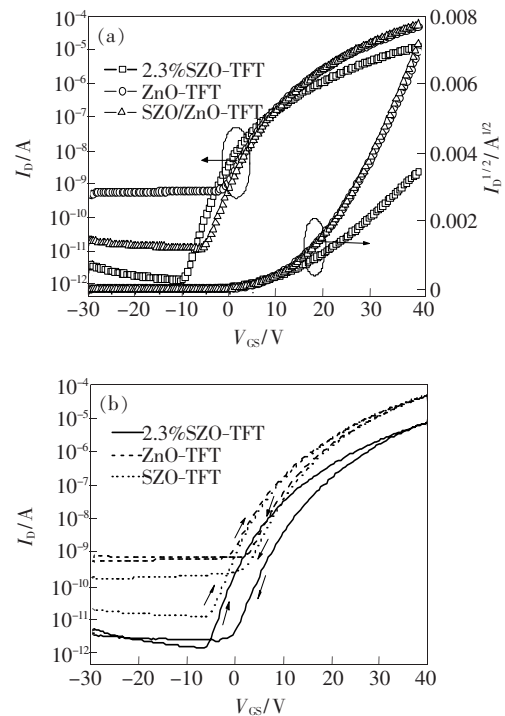


图 6 (a) 单层和双层有源层结构 TFT 器件的转移特性曲线;(b) 单层和双层有源层结构 TFT 器件的转移特性迟滞曲线。

Fig. 6 (a) Transfer characteristics of TFTs with single- and dual-active-layer structure. (b) Hysteresis curves of transfer characteristics of TFTs with single- and dual-active-layer structure.

表 2 单层和双层有源层结构 TFT 器件的主要性能参数

Table 2 Main performance parameters of TFTs with single- and dual-active-layer structure

器件	I_{off}/A	I_{on}/I_{off}	V_{th}/V	$SS/(\text{V} \cdot \text{Dec}^{-1})$	$\mu/(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1})$
2.3% SZO-TFT	1.49×10^{-12}	7.95×10^6	12	3	0.1
ZnO-TFT	5.5×10^{-10}	8.69×10^4	17.5	4	0.878
SZO/ZnO-TFT	1.27×10^{-11}	3.99×10^6	17.5	3.5	1

道层,从而对 ZnO 沟道起到钝化作用。

4 结 论

采用磁控溅射法制备了不同 Si 掺杂浓度的单有源层结构的 SZO-TFT,以及由 SZO/ZnO 组成的双有源层结构的 TFT 器件。结果表明:向 ZnO 薄膜中掺入一定量的 Si 可提高其在可见光范围内的透光性,使其更适合于制备透明电子器件。与未掺杂的 ZnO-TFT 相比,Si 掺杂 SZO-

TFT 的关态电流下降了 2 个数量级以上,最低达 1.5×10^{-12} A;开关电流比提高超过两个数量级,可达 7.97×10^6 ,但载流子迁移率减小近 1 个数量级。采用 SZO/ZnO 双有源层结构能够有效抑制 ZnO 基 TFT 的关态电流,而且可在不降低 ZnO-TFT 载流子迁移率的情况下有效提高开关电流比近两个数量级,使器件的整体性能得到了有效的改善。

参 考 文 献:

- [1] Fortunato E, Barquinha P, Martins R. Oxide semiconductor thin-film transistors: A review of recent advances [J]. *Adv. Mater.*, 2012, 24(22):2945-2986.
- [2] Nomura K, Ohta H, Ueda K, *et al.* Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor [J]. *Science*, 2003, 300(5623):1269-1272.
- [3] Lin C Y, Chien C W, Wu C H, *et al.* Top-gate staggered a-IGZO TFTs adopting the bilayer gate insulator for driving AMOLED [J]. *IEEE Trans. Electron. Dev.*, 2012, 59(6):1701-1708.
- [4] Zhou F, Zhang L, Li J, *et al.* Effect of Ta₂O₅ thickness on the performances of ZnO-based thin film transistors [J]. *Chin. J. Lumin. (发光学报)*, 2011, 32(2):188-193 (in Chinese).
- [5] Cross R B M, De Souza M M. The effect of gate-bias stress and temperature on the performance of ZnO thin-film transistors [J]. *IEEE Trans. Dev. Mater. Reliab.*, 2008, 8(2):277-282.
- [6] Lan L F, Peng J B. High-performance indium-gallium-zinc oxide thin-film transistors based on anodic aluminum oxide [J]. *IEEE Trans. Electron. Dev.*, 2011, 58(5):1452-1455.
- [7] Yang B S, Huh M S, Oh S, *et al.* Role of ZnO₂ incorporation in the suppression of negative bias illumination-induced instability in Zn-Sn-O thin film transistors [J]. *Appl. Phys. Lett.*, 2011, 98(12):122110-1-3.
- [8] Cho D H, Park S H K, Yang S, *et al.* Al-Zn-Sn-O thin film transistors with top and bottom gate structure for AMOLED [J]. *IEICE Trans. Electron.*, 2009, E92-C(11):1340-1346.
- [9] Wu H J, Li X F, Lu J G, *et al.* Characterization of amorphous Si-Zn-Sn-O thin films and applications in thin-film transistors [J]. *Appl. Phys. Lett.*, 2013, 103(8):082109-1-3.
- [10] Remashan K, Choi Y S, Park S J, *et al.* High performance MOCVD-grown ZnO thin-film transistor with a thin MgZnO layer at channel/gate insulator interface [J]. *J. Electrochem. Soc.*, 2010, 157(12):121-126.
- [11] Park J C, Kim S, Kim S, *et al.* Highly stable transparent amorphous oxide semiconductor thin-film transistors having double-stacked active layers [J]. *Adv. Mater.*, 2010, 22(48):5512-5516.
- [12] Kim C H, Rim Y S, Kim H J, *et al.* Chemical stability and electrical performance of dual-active-layered zinc-tin-oxide/indium-gallium-zinc-oxide thin-film transistors using a solution process [J]. *ACS Appl. Mater. Interf.*, 2013, 5(13):6108-6112.
- [13] Jeong W H, Kim K M, Kim D L, *et al.* The effects of dual-active-layer modulation on a low-temperature solution-processed oxide thin-film transistor [J]. *IEEE Trans. Electron. Dev.*, 2012, 59(8):2149-2152.
- [14] Rim Y S, Kim D L, Jeong W H, *et al.* Improved bias stability of solution-processed InZnO thin-film transistors by Zr addition [J]. *Electrochem. Solid-state Lett.*, 2012, 15(2):H37-H40.



莫淑芬(1990 -),女,安徽芜湖人,硕士研究生,2012年于安徽大学获得学士学位,主要从事氧化物薄膜晶体管方面的研究。
E-mail: moshufen51@163.com.



刘玉荣(1968 -),男,江西吉安人,教授,2007年于华南理工大学获得博士学位,主要从事有机/氧化物薄膜晶体管、超声传感器等方面的研究。
E-mail: phlyr@scut.edu.cn