

文章编号: 1000-7032(2010)04-0590-05

蒙特卡罗模拟 LED 并联电路电流降额特性

郑同场¹, 李炳乾², 夏正浩^{1, 2}

(1. 华南师范大学 光电子材料与技术研究所, 广东 广州 510631;

2. 佛山科技学院 物理系, 广东 佛山 528000)

摘要: 利用蒙特卡罗方法对 LED 并联电路的电流降额特性进行了模拟, 假设分档后的大功率白光 LED 的正向电压(V_f)分布符合正态分布, 研究了 $1 \times n$ ($2 \leq n \leq 15$) 系列 LED 并联电路电流降额量(I_p)的概率(P)分布。模拟结果表明 I_p 的概率分布函数偏离了正态分布, 密度函数曲线最高值点的两侧不对称, 左侧较右侧陡峭; 随着 LED 并联数(n)的增加, 概率密度函数沿 I_p 增大的方向移动, 并且越来越趋近于正态分布。当 n 一定时, I_p 随电路中出现 LED 承载电流超过其额定电流的概率增大而降低, 降低的速度由快转慢; 当 P 为 0.01% ~ 1% 时, I_p 大约为 20% ~ 30%。当 P 一定时, I_p 随 n 的增加而增大; 当 $n > 6$ 时, I_p 的增大速度变缓。模拟结果可以推广到 $m \times n$ 阵列化互连大功率 LED 模组。

关键词: 蒙特卡罗模拟; LED 并联电路; 电流降额量; 概率

中图分类号: TN383.1

PACS: 02.70.Uu; 85.60.Jb

PACC: 0270V; 7860F

文献标识码: A

1 引 言

GaN 基白光 LED 以其效率高、功耗小、寿命长、固态节能、绿色环保等显著优点, 具有极为重要的应用价值, 近几年来在城市灯光环境中得到了广泛的发展应用; 特别是在全球能源短缺的忧虑再度升高的背景下, LED 在照明市场的前景更备受全球瞩目^[1-3]。为了满足 LED 在照明领域对高光通量的要求, 人们致力于 LED 的功率化和集成化的研究和发展, 对芯片级 (wafer-level) 封装展开了大量的研究^[4-10], 多芯片集成封装 LED 模块具有亮度高、结构紧凑等特点, 且灯具的设计不受单管 LED 排列数量和排布方式的限制, 有可能制作出功率、亮度和外观尺寸与传统光源近似的光源, 方便了半导体照明光源的推广使用, 同时节约了封装材料, 降低了生产成本, 是一种很有前景的照明光源^[4, 6, 10, 12]。Oliver Kückmann^[5]指出 COB 封装技术和高热导率复合材料的结合, 其优势更加体现在多芯片封装上, 形成多芯片模块组件, 有利于提高 LED 单位封装组件的散热性能, 同时

增加单位组件的发光亮度。Chen 等^[8]使用 COP (chip-on-plate) 技术封装了大功率 LED, 研究了其热阻和 WHTOL (wet high temperature operation life) 条件下的可靠性, 指出对于 COP 封装的 LED 进行 WHTOL 测试要指定对流条件。Henning Dieker 等^[9]采用 FLOTHERM 软件和实验方法对 COB、SMD 两种封装技术进行了研究比较, 指出不同的应用适合采用不同的封装方式。文献 [11] 利用 MCRT (Monte Carlo ray tracing) 研究了多芯片白光 LEDs 的光学模型。

有关多芯片集成封装的大功率 LED 电路电流特性方面的研究较少, 对大功率 LED 进行电路阵列化互连结合电流降额使用, 能更最大限度地发挥多芯片 LED 的优点并提高其可靠性, 但是具体如何降额使用, 目前还没有相关的研究报道, 本文利用蒙特卡罗模拟了 LED 阵列化互连的电流降额特性, 研究了 $1 \times n$ ($2 \leq n \leq 15$) 系列 LED 并联电路电流降额量的概率分布。电流降额量为: 对于一个特定的多只 LED 并联电路, 为了保证各支路 LED 的承载电流不超过其额定电流时, 必需对并联电路使用的电流降低值。

收稿日期: 2009-11-19; 修订日期: 2009-12-12

基金项目: 广东省自然科学基金 (04011642); 佛山市科技发展专项基金 (04030021); 教育部光电子器件与系统重点实验室开放基金资助项目

作者简介: 郑同场 (1984-), 男, 福建三明人, 主要从事光电子器件与材料的研究。

E-mail: zhengtongchang-84@163.com

2 模拟方法及模型建立

2.1 LED 阵列化互连

LED 阵列化互连的电路原理图如图 1 所示,即将 LED 分组并联,再将每组串联起来,每一个 LED 都是电路连接阵列中的一个节点,其中任何一只 LED 开路或短路,都不会造成发光组件整体失效。在大功率 LED 多芯片集成封装中若采用传统的串并联方式,不仅串联的多个电阻将会占用很大的空间,阻碍了模块向更小尺寸化发展,而且将会在电阻上消耗太多的功率。因此在多芯片集成封装 LED 中采用阵列化互连电路结合电流降额使用,能更大限度地发挥多芯片封装技术的优点,并提高 LED 阵列模组的可靠性。

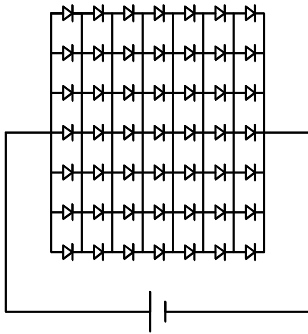


图 1 LED 阵列化互连电路原理图

Fig. 1 Circuit schematic diagram of LED array

由于生产工艺的离散性,同一生产批次的 LED 器件其正向压降 V_F 也存在差异,因此在 LED 阵列化互连电路中并联的各只 LED 所承载的电流是不均匀的,正向压降 V_F 小的 LED 承载的电流大于 V_F 大的,若各组并联的 LED 按额定电流设计,当 V_F 差异很大时,会出现有些 LED 的工作电流远远大于其额定电流,这样将会降低这些 LED 的可靠性和使用寿命,进而降低整个阵列模组的可靠性。因此在实际设计中在同一个阵列中尽量使用 V_F 一致性好的 LED,另外还需要对阵列进行电流降额使用,来提高其可靠性和使用寿命。对于 $m \times n$ 的 LED 阵列化互连电路,当用恒流源驱动时,电流经过每一组并联电路时都重新分配,每一组并联电路都是相互独立的,所以可以通过研究其中的 $1 \times n$ 并联电路的伏安特性,来讨论整个 $m \times n$ LED 阵列化互连电路的伏安特性。

2.2 蒙特卡罗模拟方法

蒙特卡罗 (Monte Carlo) 方法亦称统计模拟方

法,是以概率统计理论为基础利用随机数进行数值模拟的一种方法。本文利用蒙特卡罗模拟实际生产中因 LED 的 V_F 具有一定分散性所引起的 LED 并联电路电流的分散性规律,首先根据实际情况确定了 LED V_F 值的分布规律,然后多次重复进行电路电流特性分析,每次分析时采用的 LED 是从符合 LED V_F 值分布中随机抽样,这样每次分析时采用的 LED 不会完全相同,而是代表了实际变化情况。完成了多次电流特性分析后,对各次电流降额结果进行统计分析,就可以得到电流降额量的分布规律。

2.3 LED 伏安特性模型

LED 的 $I-V$ 特性曲线反映了器件的电流电压关系,对 LED 应用中的电路参数设计至关重要,LED 的 $I-V$ 特性曲线需要反映实际工作状态下的器件性能,因此设计应用中通常更关注连续工作时额定工作电流附近的电压变化。1 W 的大功率白光 LED 额定工作电流约 350 mA,实际上电流为 200 ~ 450 mA 范围的 $I-V$ 特性曲线近似成一线性关系,其数学表达式可表示为:

$$V_F = V_S + R_S \cdot (I_F - I_S), \quad (1)$$

式中: V_F 为 LED 的正向电压, I_S 为电压 V_S (参考电压) 时的电流, $R_S = (V_F - V_S) / (I_F - I_S)$ 。

由于生产工艺的离散性,同一生产批次的 LED 器件其正向压降也可能存在较大的差异,因此实际生产中对 LED 在定电流下 (350 mA) 进行电压分档。对本文中所讨论的 LED 作如下假设:不同 LED 的电流电压特性变化规律相同;分档后的 LED 的 V_F 符合正态分布,中心电压为 3.15 V, R_S 为 1.24,由于分光机存在一定的测量误差,设 LED 实际 V_F 在 $3.10 \text{ V} \leq V_F \leq 3.20 \text{ V}$ 范围内的概率约为 85%,查表可得 σ 约为 5/144,由此构建的正态分布函数的密度函数为:

$$f(x) = \frac{144}{5\sqrt{2\pi}} \cdot e^{-\frac{10368 \cdot (x-3.15)^2}{32}}. \quad (2)$$

3 模拟结果及讨论

基于上述蒙特卡罗统计模拟方法,对 $1 \times n$ ($2 \leq n \leq 15$) 系列 LED 并联电路的电流降额量分别进行 10^8 的随机抽样试验,模拟得到的结果如图 2 ~ 5 所示。

图 2 所列举的分别是 4, 8, 12 只 LED 并联电路电流降额量 (I_P) 的概率分布函数,其对应的 I_P

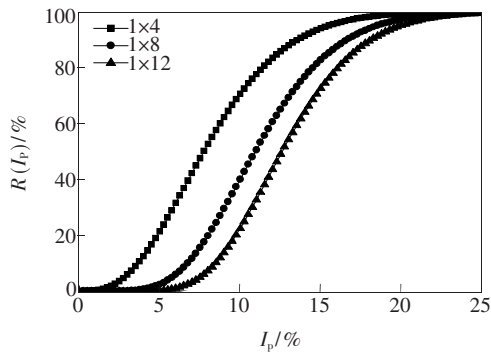
图 2 电流降额量 I_p 的概率分布函数

Fig. 2 The probability distribution function of the current derating

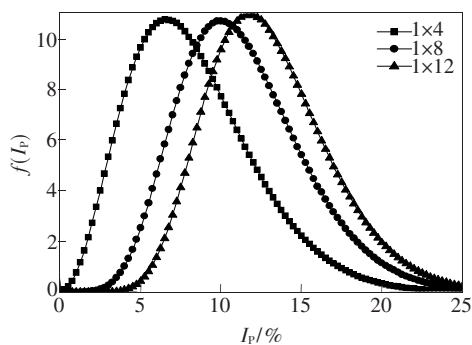
图 3 电流降额量 I_p 的概率密度函数

Fig. 3 The probability density function of the current derating

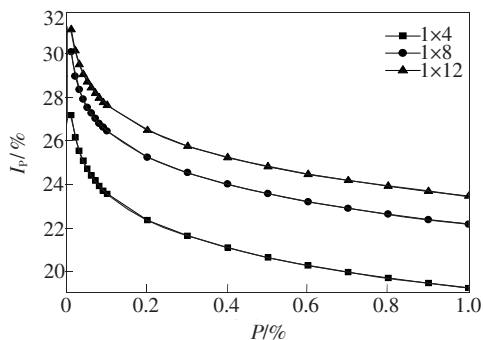


图 4 不同 LED 并联电路下不同概率的电流降额量

Fig. 4 The current derating vs the probability of different LED quantity

概率密度函数如图 3 所示。结合图 2 和图 3 分析可知,密度函数曲线最高值点的两侧不对称,左侧较右侧陡峭,即 I_p 的分布函数偏离了正态分布;概率随着 I_p 的增大先缓慢增大,增大的速度越来越快,直至出现拐点(最高值点),增大的速度开始减慢,越来越慢,最终趋于平缓。随着 LED 并联数(n)的增加,概率分布函数向右侧移动,对应的概率密度函数也一样,即电流降额量随 n 的增

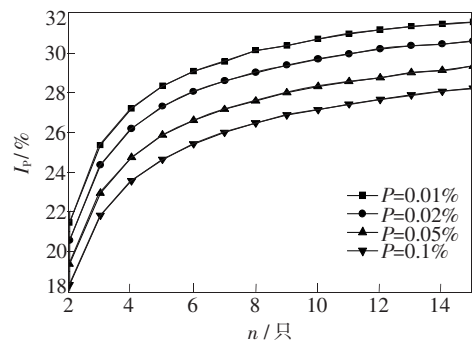


图 5 不同概率下不同 LED 并联电路的电流降额量

Fig. 5 The LED quantity vs the current derating for different probability

加而增加;随着 n 的增加 I_p 的分布越来越趋近于正态分布。

图 4 所示的是不同 LED 并联电路,当 LED 承载电流超过其额定电流(350 mA)的概率为 0.01% ~ 1% 时,所要求的电流降额量分布:随着电路中出现 LED 的承载电流超过额定电流的概率增大时,所要求的电流降额量降低。当 P 较小时 I_p 随着 P 的增加急剧降低;当 P 较大时随着 P 的继续增大 I_p 的减小速度减慢,最终趋于平缓。从图 4 可知,当 P 为 0.01% ~ 1% 时 I_p 大多位于为 20% ~ 30% 之间。对于 1×8 并联电路,若要求电路中出现 LED 承载的电流超过其额定电流的概率低于 0.01% 时,要进行 30.12% 的电流降额使用;当 P 增大为 0.1% 时 I_p 为 26.46%;当 P 为 1% 时 I_p 为 22.16%。

$1 \times n$ ($2 \leq n \leq 15$) 并联电路在不同概率下的电流降额量分布如图 5 所示。当 P 一定时,电流降额量随着 LED 并联数(n)的增加而增大。当 n 较小时 I_p 随着 n 的增加上升得很快,随着 n ($n > 6$) 的继续增加 I_p 的上升越来越缓慢,最终趋于平缓。当 P 为 0.01% 时, 1×4 , 1×8 , 1×12 并联电路的电流降额量分别为 27.20%, 30.12%, 31.15%。

对于 $m \times n$ LED 阵列化互连电路,当用恒流源驱动时,电流经过每一组并联电路时都重新分配,每一组并联电路都是相互独立的,因此 $1 \times n$ 并联电路的模拟结果可以推广到 $m \times n$ 阵列化互连大功率 LED 模组。

从上面分析可知,对于 LED 阵列化互连电路,为了保证电路中各只 LED 承载的电流不超过额定电流,必须对电路进行电流降额使用。实际

并联电路中电流的降额量依所并联LED的正向压降一致性程度所决定,当一致性较好时,电流降额量较小。实际生产中,同一批次,特别是同一外延片上芯片的 V_F 差别较小,因此在实际制作时,在同一LED阵列尽量使用同一外延片的芯片。

在实际应用中当阵列电路中单个LED在使用中功率不稳定或是死灯失效,电路不会失效,但电流分配发生改变,并对LED阵列的寿命产生影响,具体的研究将在今后的论文中陆续报道。

4 结 论

阵列化互连的LED多芯片集成封装技术有可能制作出功率、亮度和外观尺寸与传统光源近似的光源,能大大促进半导体照明光源的推广使用。对于阵列化互连电路,对LED正向压降的一致性要求较高,且往往要求对电流进行降额使用。本文利用蒙特卡罗方法对LED并联电路的电流降额特性进行了模拟,得到了 $1 \times n(2 \leq n \leq 15)$ 系

列LED并联电路电流降额量 I_p 的概率 P 分布,其结果可以推广到 $m \times n$ 阵列化互连大功率LED模组。模拟结果给大功率LED模组的电流降额使用提供了理论依据,具有一定的实用价值。

大功率LED模组阵列往往连接了数十只或上百只的LED,当中极有可能存在个别 V_F 差异较大的LED,在生产中可以通过如下测试方法进行剔除:

(1) 用电流源给LED阵列供电,缓慢升高电流,观察LED点亮的先后顺序,记录先亮和后亮的LED电压,如果电压差别不大说明这个模组阵列所用的LED一致性较好,如果差别较大,更换掉这些LED。

(2) 用红外热像仪对LED阵列进行红外热像扫描,如果LED阵列的温度较均匀,说明所用的LED一致性较好,如果阵列中存在某些LED的表面温度明显高于或低于其它大部分LED的,更换掉这些LED。

参 考 文 献:

- [1] Li Bingqian, Liu Yuhua, Feng Yuchun, et al. The power dissipation of equivalent series resistance and its influence on luminous efficiency of GaN based high power light-emitting diodes [J]. *Acta Phys. Sin.* (物理学报), 2008, **57**(1): 477-481 (in Chinese).
- [2] Wang Jian, Huang Xian, Liu Li, et al. Effect of temperature and current on LED luminous efficiency [J]. *Chin. J. Lumin.* (发光学报), 2008, **29**(2): 358-362 (in Chinese).
- [3] Xu Guofang, Rao Haibo, Yu Xinmei, et al. Improvement of optical uniformity of white LEDs [J]. *Chin. J. Lumin.* (发光学报), 2008, **29**(4): 707-712 (in Chinese).
- [4] Park Ji Hyun, Lee Sung Jun, Chio S M. Wafer level bonding for LED packaging using six sigma methodology [J]. *Diffusion and Defect Data Part B, Solid State Phenomena*, 2007, **124/126**(Part 1): 519-522.
- [5] Oliver Kückmann. High-power LED arrays special requirements on packaging technology [J]. *SPIE*, 2006, **6134**: 613404-1-8.
- [6] Huo Yanming, Chen Fushen. The research and simulation of LED array in lighting [J]. *Chin. J. Lumin.* (发光学报), 2009, **30**(4): 436-440 (in Chinese).
- [7] Tian Dalei, Guan Rongfeng. Studies on the optical properties of LED based on microlens array [J]. *Chin. J. Lumin.* (发光学报), 2009, **30**(1): 69-72 (in Chinese).
- [8] Chen C H, Tsai W L, Tsai M Y. Thermal resistance and reliability of low-cost high-power LED packages under WHTOL test [C]. 10th International Conference on Electronic Materials and Packaging, 2008, Taipei: IEEE, 271-276.
- [9] Dieker Henning, Miesner Christian, Püttjer Dirk, et al. Comparison of different LED Packages [J]. *SPIE*, 2007, **6797**: 679701-1-12.
- [10] Lan Kim, Moo Whan Shin. Thermal resistance measurement of LED package with multi-chips [J]. *IEEE Transactions on Components and Packaging Technologies*, 2007, **30**(4): 632-636.
- [11] Chien Weiting, Lee Tsungxian, Ma Shinxing, et al. A precise optical model of phosphor-based multi-chip white LEDs [J]. *SPIE*, 2007, **6669**: 666901-1-24.
- [12] Miyachi Tsutomu, Sakuta Hiroaki, Kamoh K, et al. Development of light sources by large-scale integrated light-emitting diodes [J]. *J. Light & Visual Environment*, 2008, **32**(2): 238-240.

Monte-Carlo Simulation of Current Derating Characteristics of LED Parallel Circuit

ZHENG Tong-chang¹, LI Bing-qian², XIA Zheng-hao^{1,2}

(1. Institute of Optoelectronic Material and Technology, South China Normal University, Guangzhou 510631, China;

2. Department of Physics, Foshan University, Foshan 528000, China)

Abstract: Based on Monte-Carlo simulation, the current derating characteristics with LED parallel circuit is studied, especially the probability distribution of current derating of a series ($2 \leq n \leq 15$) of LED parallel circuit, given the forward voltage drop values of LED after bin agree with Gaussian distribution. The simulation shows that the probability distribution of current derating deviates Gaussian distribution, namely the left and right of the peak point of probability density function is asymmetric, of which the left side is more sharp than the right side. The probability distribution of current derating is more and more tend to be Gaussian distribution as the quantity of parallel LED increasing. As the probability of occurrence that the current bearing by LED exceeds its rated current increasing, the current derating needed by the parallel circuit increases gradually but the increase rate tends to be reduced. The current derating is about between 20% and 30% when the probability is between 0.01% and 1%. The current derating needed by the parallel circuit increases gradually but the increase rate tends to be reduced as the quantity of LED increasing ($n > 6$). The simulation results can be applied to the LED interconnection array.

Key words: Monte-Carlo simulation; LED parallel circuit; current derating; probability

CLC number: TN383+.1

PACS: 02.70.Uu; 85.60.Jb

PACC: 0270V; 7860F

Document code: A